

Interprocessor communication method and multiprocessor

Publication number: US2001003834 (A1)

Publication date: 2001-06-14

Inventor(s): SHIMONISHI HIDEYUKI [JP] +

Applicant(s): NIPPON ELECTRIC CO [US] +

Classification:

- international: G06F9/34; G06F13/36; G06F13/40; G06F15/167; G06F15/17;
G06F15/80; G06F9/34; G06F13/36; G06F13/40; G06F15/16;
G06F15/76; (IPC1-7): G06F15/00; G06F15/76

- European: G06F13/40D2; G06F13/40D5

Application number: US20000730533 20001207

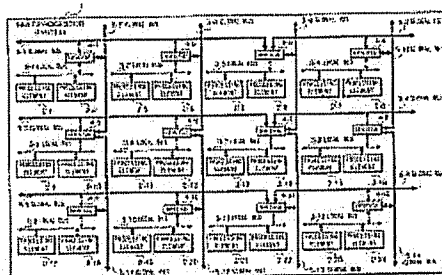
Priority number(s): JP19990348545 19991208

Also published as:

JP2001167066 (A)

Abstract of US 2001003834 (A1)

In a multiprocessor system including numbers of processors which realizes hierarchical interprocessor communication and enables high-speed interprocessor communication, each processing element is composed of a plurality of processors physically sharing the same register file, and in the processing element, interprocessor communication is conducted by sharing the register. Every several processing elements are connected to the same local bus and the local buses are connected to each other by a bridge and a global bus. Between processing elements located at a short distance from each other, communication is conducted through one local bus, while between processing elements located at a long distance from each other, communication is conducted through a plurality of local buses and global buses.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-167066

(P2001-167066A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 6 F 15/167		G 0 6 F 15/167	Z 5 B 0 3 3
9/34	3 3 0	9/34	3 3 0 5 B 0 4 5
13/36	3 1 0	13/36	3 1 0 C 5 B 0 6 1
	5 3 0		5 3 0 Z
15/17		15/17	

審査請求 有 請求項の数34 O L (全 34 頁)

(21) 出願番号 特願平11-348545

(22) 出願日 平成11年12月8日 (1999.12.8)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 下西 英之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088959

弁理士 境 廣巳

Fターム(参考) 5B033 AA01 AA14 DD01 DD09

5B045 BB34 BB38

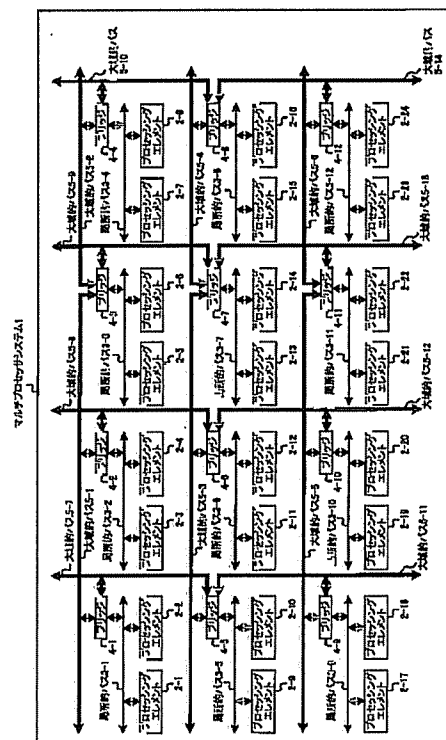
5B061 FF07 FF13 GG02 GG12 PP05

(54) 【発明の名称】 プロセッサ間通信方法及びマルチプロセッサシステム

(57) 【要約】

【課題】 多数のプロセッサを含むマルチプロセッサシステムにおいて、階層的なプロセッサ間通信を実現し、高速なプロセッサ間通信を可能にする。

【解決手段】 各プロセッシングエレメント2-1～2-24は、同一のレジスタファイルを物理的に共有する複数のプロセッサから構成され、プロセッシングエレメント内ではレジスタ共有によるプロセッサ間通信を行う。幾つかのプロセッシングエレメント毎に同じ局所的バス3-1～3-12に接続され、局所的バスはブリッジ4-1～4-12および大域的バス5-1～5-14によって相互に接続される。近距離のプロセッシングエレメント間では1つの局所的バス経由で通信し、遠距離のプロセッシングエレメント間では複数の局所的バス及び大域的バスを経由して通信する。



【特許請求の範囲】

【請求項1】 マルチプロセッサシステムを構成するプロセッサ間でレジスタファイルの内容を交換するプロセッサ間通信方法において、

マルチプロセッサシステムを構成するプロセッサ群をプロセッシングエレメントという複数のグループに分割し、同じプロセッシングエレメントに属するプロセッサ間では同一のレジスタファイルを物理的に共有することでプロセッサ間通信を行い、異なるプロセッシングエレメントに属するプロセッサ間ではバス経由でレジスタファイルの内容を直接転送することでプロセッサ間通信を行うプロセッサ間通信方法。

【請求項2】 レジスタファイルに含まれる各レジスタに1対1に対応するチャンネルを有するバスを使用した請求項1記載のプロセッサ間通信方法。

【請求項3】 レジスタファイルに含まれるレジスタの数より少ないチャンネル数のバスを使用し、複数のレジスタで1つのチャンネルを共用する請求項1記載のプロセッサ間通信方法。

【請求項4】 複数のバス及びバス間で相互にデータの中継を行うブリッジから構成されるバス構造を使用し、プロセッシングエレメント群を複数のグループに分割し、同じグループに属するプロセッシングエレメント間では同じ1つのバス経由で通信し、異なるグループに属するプロセッシングエレメント間ではブリッジを用いて複数のバス経由で通信する請求項2または3記載のプロセッサ間通信方法。

【請求項5】 複数の局所的バス、1以上の大域的バス及びバス間で相互にデータの中継を行うブリッジから構成されるバス構造を使用し、プロセッシングエレメント群を複数のグループに分割し、同じグループに属するプロセッシングエレメント間では同じ1つの局所的バス経由で通信し、異なるグループに属するプロセッシングエレメント間ではブリッジを用いて複数のバス経由で通信する請求項2または3記載のプロセッサ間通信方法。

【請求項6】 プロセッシングエレメント間をバス経由でつなぐルートであって他のルートとバス競合が発生しない1以上のルートを事前に決定し、該決定したルートによるプロセッサ間通信のみを行わせる請求項4または5記載のプロセッサ間通信方法。

【請求項7】 プロセッシングエレメント間をバス経由でつなぐルートであって他のルートと同一バス上で時間的に競合が発生しない1以上のルート及び各ルートの各バスの使用時刻を事前に決定し、バスを時分割的に使用することにより、前記決定されたルート及び使用時刻によるプロセッサ間通信のみを行わせる請求項4または5記載のプロセッサ間通信方法。

【請求項8】 プロセッサを時刻に同期させて動作させ、前記決定されたルート及び使用時刻によるプロセッサ間通信のみ実施するよう各プロセッサをプログラミング

グしておき、各ブリッジは前記決定されたルート及び使用時刻によるプロセッサ間通信のみデータの中継動作を行うことで、

バスを時分割的に使用する請求項7記載のプロセッサ間通信方法。

【請求項9】 プロセッシングエレメント内のレジスタファイルの内容を該プロセッシングエレメントに属するプロセッサからの送信要求に従ってバス経由で送信する制御を司る送信制御部で、前記決定されたルート及び使用時刻によるプロセッサ間通信のみ実施されるよう制御し、各ブリッジは前記決定されたルート及び使用時刻によるプロセッサ間通信のみデータの中継動作を行うことで、

バスを時分割的に使用する請求項7記載のプロセッサ間通信方法。

【請求項10】 時刻による入出力制御を行うためのタイムテーブルをプロセッシングエレメント内に、また時刻による中継制御を行うためのタイムテーブルをブリッジ内にそれぞれ設け、これらのタイムテーブルを用いることによってプロセッシングエレメントにおける入出力制御及びブリッジにおける経路制御を時刻に対して一意に定め、

プロセッサから送信要求が行われたときにプロセッシングエレメント内の送信制御部は時刻を元にタイムテーブルを参照してレジスタからバスへのデータの出力制御を行い、ブリッジは時刻を元にタイムテーブルを参照してバス間のデータの中継処理を行い、さらにプロセッシングエレメント内の受信制御部は時刻を元にタイムテーブルを参照してバスからレジスタへのデータの入力制御を行うことで、

バスを時分割的に使用する請求項7記載のプロセッサ間通信方法。

【請求項11】 コネクション番号もしくはデータの宛先による入出力制御を行うためのコネクションテーブル及び時刻による入出力制御を行うためのタイムテーブルをプロセッシングエレメント内に、コネクション番号もしくはデータの宛先による中継制御を行うためのコネクションテーブルをブリッジ内に、コネクション番号もしくはデータの宛先を制御情報として伝達するための制御用チャンネルをバス内にそれぞれ設け、

プロセッサからデータを出力する際にはコネクション番号もしくは宛先を制御情報として送信要求を行い、プロセッシングエレメント内の送信制御部は制御情報を元にコネクションテーブル及びタイムテーブルを参照してバスへのデータ及び制御情報の出力制御を行い、ブリッジは制御チャンネルから受信した制御情報を元にコネクションテーブルを参照してバス間のデータ及び制御情報の中継処理を行い、さらにプロセッシングエレメント内の受信制御部は受信した制御情報を元にコネクションテーブルを参照してバスからレジスタへのデータの入力制御を

行うことで、

バスを時分割的に使用する請求項7記載のプロセッサ間通信方法。

【請求項12】 プロセッシングエレメント間をバス経由でつなぐルートであって他のルートと同一バスの同一チャンネル上で競合が発生しない1以上のルートを事前に決定し、バスをチャンネル単位で空間分割的に使用することにより、前記決定されたルートによるプロセッサ間通信のみを行わせる請求項4または5記載のプロセッサ間通信方法。

【請求項13】 前記決定されたルートによるプロセッサ間通信のみ実施するよう各プロセッサをプログラミングしておき、各ブリッジは前記決定されたルートによるプロセッサ間通信のみデータの中継動作を行うことで、バスを空間分割的に使用する請求項12記載のプロセッサ間通信方法。

【請求項14】 プロセッシングエレメント内のレジスタファイルの内容を該プロセッシングエレメントに属するプロセッサからの送信要求に従ってバス経由で送信する制御を司る送信制御部で、前記決定されたルートによるプロセッサ間通信のみ実施されるよう制御し、各ブリッジは前記決定されたルートによるプロセッサ間通信のみデータの中継動作を行うことで、

バスを空間分割的に使用する請求項12記載のプロセッサ間通信方法。

【請求項15】 入出力制御を行うための接続テーブルをプロセッシングエレメント内にチャンネル毎に設け、中継制御を行うための接続テーブルをブリッジ内にチャンネル毎に設け、これらの接続テーブルを用いることよってプロセッシングエレメントにおける入出力制御及びブリッジにおける経路制御を各チャンネル別に定め、プロセッサからデータを出力する際には1つ以上のレジスタを選んで送信要求を行い、プロセッシングエレメント内の送信制御部は送信要求が行われた各レジスタに対応するチャンネルに関する接続テーブルを参照して各レジスタからバスへのデータの出力制御をチャンネル毎に行い、ブリッジは各チャンネルに関する接続テーブルを参照してバス間のデータの中継処理をチャンネル毎に行い、さらにプロセッシングエレメント内の受信制御部は各チャンネルに関する接続テーブルを参照してバスからレジスタへのデータの入力制御をチャンネル毎に行うことで、バスを空間分割的に使用する請求項12記載のプロセッサ間通信方法。

【請求項16】 プロセッシングエレメント間をバス経由でつなぐルートであって他のルートと同一バスの同一チャンネル上で時間的に競合が発生しない1以上のルート及び各ルートの各バスのチャンネルの使用時刻を事前に決定し、バスをチャンネル単位で時分割的かつ空間分割的に使用することにより、前記決定されたルート及び使用時刻によるプロセッサ間通信のみを行わせる請求項4また

は5記載のプロセッサ間通信方法。

【請求項17】 プロセッサを時刻に同期させて動作させ、前記決定されたルート及び使用時刻によるプロセッサ間通信のみ実施するよう各プロセッサをプログラミングしておき、各ブリッジは前記決定されたルート及び使用時刻によるプロセッサ間通信のみデータの中継動作を行うことで、

バスを時分割的かつ空間分割的に使用する請求項16記載のプロセッサ間通信方法。

【請求項18】 プロセッシングエレメント内のレジスタファイルの内容を該プロセッシングエレメントに属するプロセッサからの送信要求に従ってバス経由で送信する制御を司る送信制御部で、前記決定されたルート及び使用時刻によるプロセッサ間通信のみ実施されるよう制御し、各ブリッジは前記決定されたルート及び使用時刻によるプロセッサ間通信のみデータの中継動作を行うことで、

バスを時分割的かつ空間分割的に使用する請求項16記載のプロセッサ間通信方法。

【請求項19】 時刻による入出力制御を行うためのタイムテーブルをプロセッシングエレメント内に、また時刻による中継制御を行うためのタイムテーブルをブリッジ内にそれぞれチャンネル毎に設け、これらのタイムテーブルを用いることよってプロセッシングエレメントにおける入出力制御及びブリッジにおける経路制御を各チャンネル毎に時刻に対して一意に定め、

プロセッサから送信要求が行われたときにプロセッシングエレメント内の送信制御部は時刻を元に各タイムテーブルを参照してレジスタからバスへのデータの出力制御をチャンネル毎に行い、ブリッジは時刻を元に各タイムテーブルを参照してバス間のデータの中継処理をチャンネル毎に行い、さらにプロセッシングエレメント内の受信制御部は時刻を元に各タイムテーブルを参照してバスからレジスタへのデータの入力制御をチャンネル毎に行うことで、

バスを時分割的かつ空間分割的に使用する請求項16記載のプロセッサ間通信方法。

【請求項20】 コネクション番号もしくはデータの宛先による入出力制御を行うためのコネクションテーブル及び時刻による入出力制御を行うためのタイムテーブルをプロセッシングエレメント内に、コネクション番号もしくはデータの宛先による中継制御を行うためのコネクションテーブルをブリッジ内に、コネクション番号もしくはデータの宛先を制御情報として伝達するための制御用チャンネルをバス内にそれぞれチャンネル毎に設け、プロセッサからデータを出力する際にはコネクション番号もしくは宛先を制御情報として送信要求を行い、プロセッシングエレメント内の送信制御部は制御情報を元に各コネクションテーブル及び各タイムテーブルを参照してバスへのデータ及び制御情報の出力制御をチャンネル毎

に行い、ブリッジは制御チャネルから受信した制御情報を元に各コネクションテーブルを参照してバス間のデータ及び制御情報の中継処理をチャネル毎に行い、さらにプロセッシングエレメント内の受信制御部は受信した制御情報を元に各コネクションテーブルを参照してバスからレジスタへのデータの入力制御をチャネル毎に行うことで、

バスを時分割的かつ空間分割的に使用する請求項16記載のプロセッサ間通信方法。

【請求項21】 コネクション番号もしくはデータの宛先による入出力制御を行うためのコネクションテーブル及び時刻による入出力制御を行うためのタイムテーブルをプロセッシングエレメント内に設けると共に、コネクション番号もしくはデータの宛先による中継制御を行うためのコネクションテーブルをブリッジ内に、コネクション番号もしくはデータの宛先を制御情報として伝達するための制御用チャネルをバス内にそれぞれチャネル毎に設け、

プロセッサからデータを出力する際にはコネクション番号もしくは宛先を制御情報として送信要求を行い、プロセッシングエレメント内の送信制御部は制御情報を元にコネクションテーブル及びタイムテーブルを参照してバスへのデータ及び制御情報の出力制御をチャネル毎に行い、ブリッジは制御チャネルから受信した制御情報を元に各コネクションテーブルを参照してバス間のデータ及び制御情報の中継処理をチャネル毎に行い、さらにプロセッシングエレメント内の受信制御部は受信した制御情報を元にコネクションテーブルを参照してバスからレジスタへのデータの入力制御をチャネル毎に行うことで、バスを時分割的かつ空間分割的に使用する請求項16記載のプロセッサ間通信方法。

【請求項22】 各プロセッシングエレメント内の送信制御部は、送信要求が出された後、実際にデータがバスに出力されるまでの間、送信要求にかかるレジスタに対するプロセッサからの書き込みを禁止する請求項10、11、15、19、20または21記載のプロセッサ間通信方法。

【請求項23】 受信予定のレジスタファイルの内容を読み出し禁止にしておき、受信制御部がバス経由で受信したデータをプロセッシングエレメント内のレジスタファイルに入力した時点で読み出し可能に変更する請求項10、11、15、19、20、21または22記載のプロセッサ間通信方法。

【請求項24】 同一のレジスタファイルを物理的に共有する複数のプロセッサを含む複数のプロセッシングエレメントと、近接する幾つかのプロセッシングエレメントのレジスタファイルどうしを相互に接続する局所的バス、該局所的バスどうしを接続するための1以上の大域的バスおよびバス間で相互にデータの中継を行う1以上のブリッジから構成されるバス構造とを備えたマルチ

ロセッサシステム。

【請求項25】 前記それぞれのバスは、レジスタファイルに含まれる各レジスタに1対1に対応するチャネルを有する請求項24記載のマルチプロセッサシステム。

【請求項26】 前記それぞれのバスは、レジスタファイルに含まれるレジスタの数より少ない数のチャネルを有する請求項24記載のマルチプロセッサシステム。

【請求項27】 各プロセッシングエレメントのレジスタファイルに、時刻による入出力制御を行うためのタイムテーブルと、プロセッサから送信要求が行われたときに時刻を元にタイムテーブルを参照してレジスタからバスへのデータの出力制御を行う送信制御部と、時刻を元にタイムテーブルを参照してバスからレジスタへのデータの入力制御を行う受信制御部とを備え、

各ブリッジに、時刻による中継制御を行うためのタイムテーブルと、時刻を元にタイムテーブルを参照してバス間のデータの中継処理を行う中継回路とを備え、

バスを時分割的に使用する構成を有する請求項25または26記載のマルチプロセッサシステム。

【請求項28】 各バスに、コネクション番号もしくはデータの宛先を制御情報として伝達するための制御用チャネルを備え、

各プロセッシングエレメントのレジスタファイルに、コネクション番号もしくはデータの宛先による入出力制御を行うためのコネクションテーブル及び時刻による入出力制御を行うためのタイムテーブルと、プロセッサからコネクション番号もしくは宛先を制御情報とした送信要求が行われたときにその制御情報を元にコネクションテーブル及びタイムテーブルを参照してバスへのデータ及び制御情報の出力制御を行う送信制御部と、バスから受信した制御情報を元にコネクションテーブルを参照してバスからレジスタへのデータの入力制御を行う受信制御部とを備え、

各ブリッジに、コネクション番号もしくはデータの宛先による中継制御を行うためのコネクションテーブルと、制御チャネルから受信した制御情報を元にコネクションテーブルを参照してバス間のデータ及び制御情報の中継処理を行う中継制御部および中継回路とを備え、

バスを時分割的に使用する構成を有する請求項25または26記載のマルチプロセッサシステム。

【請求項29】 各プロセッシングエレメントのレジスタファイルに、入出力制御を行うためのチャネル毎の接続テーブルと、プロセッサから送信するレジスタを指定した送信要求が行われたとき、送信要求が行われた各レジスタに対応するチャネルに関する接続テーブルを参照して各レジスタからバスへのデータの出力制御をチャネル毎に行う送信制御部と、各チャネルに関する接続テーブルを参照してバスからレジスタへのデータの入力制御をチャネル毎に行う受信制御部とを備え、

各ブリッジに、中継制御を行うためのチャネル毎の接続

テーブルと、各チャネルに関する接続テーブルを参照してバス間のデータの中継処理をチャネル毎に行う中継回路とを備え、

バスを空間分割的に使用する構成を有する請求項25または26記載のマルチプロセッサシステム。

【請求項30】 各プロセッシングエレメントのレジスタファイルに、時刻による入出力制御を行うためのチャネル毎のタイムテーブルと、プロセッサから送信要求が行われたときに時刻を元に各タイムテーブルを参照してレジスタからバスへのデータの出力制御をチャネル毎に行う送信制御部と、時刻を元に各タイムテーブルを参照してバスからレジスタへのデータの入力制御をチャネル毎に行う受信制御部とを備え、

各ブリッジに、時刻による中継制御を行うためのチャネル毎のタイムテーブルと、時刻を元に各タイムテーブルを参照してバス間のデータの中継処理をチャネル毎に行う中継回路とを備え、

バスを時分割的かつ空間分割的に使用する構成を有する請求項25または26記載のマルチプロセッサシステム。

【請求項31】 各バスに、コネクション番号もしくはデータの宛先を制御情報として伝達するための制御用チャネルをそれぞれチャネル毎に備え、

各プロセッシングエレメントのレジスタファイルに、コネクション番号もしくはデータの宛先による入出力制御を行うためのチャネル毎のコネクションテーブル及び時刻による入出力制御を行うためのチャネル毎のタイムテーブルと、プロセッサからコネクション番号もしくは宛先を制御情報とした送信要求が行われたときに、制御情報を元に各コネクションテーブル及び各タイムテーブルを参照してバスへのデータ及び制御情報の出力制御をチャネル毎に行う送信制御部と、バスから受信した制御情報を元に各コネクションテーブルを参照してバスからレジスタへのデータの入力制御をチャネル毎に行う受信制御部とを備え、

各ブリッジに、コネクション番号もしくはデータの宛先による中継制御を行うためのチャネル毎のコネクションテーブルと、制御チャネルから受信した制御情報を元に各コネクションテーブルを参照してバス間のデータ及び制御情報の中継処理をチャネル毎に行う中継制御部および中継回路とを備え、

バスを時分割的かつ空間分割的に使用する構成を有する請求項25または26記載のマルチプロセッサシステム。

【請求項32】 各バスに、コネクション番号もしくはデータの宛先を制御情報として伝達するための制御用チャネルをそれぞれチャネル毎に備え、

各プロセッシングエレメントのレジスタファイルに、コネクション番号もしくはデータの宛先による入出力制御を行うためのコネクションテーブル及び時刻による入出

力制御を行うためのタイムテーブルと、プロセッサからコネクション番号もしくは宛先を制御情報とした送信要求が行われたときに、制御情報を元にコネクションテーブル及びタイムテーブルを参照してバスへのデータ及び制御情報の出力制御をチャネル毎に行う送信制御部と、バスから受信した制御情報を元にコネクションテーブルを参照してバスからレジスタへのデータの出力制御をチャネル毎に行う受信制御部とを備え、

各ブリッジに、コネクション番号もしくはデータの宛先による中継制御を行うためのチャネル毎のコネクションテーブルと、制御チャネルから受信した制御情報を元に各コネクションテーブルを参照してバス間のデータ及び制御情報の中継処理をチャネル毎に行う中継制御部および中継回路とを備え、

バスを時分割的かつ空間分割的に使用する構成を有する請求項25または26記載のマルチプロセッサシステム。

【請求項33】 各プロセッシングエレメント内の送信制御部は、送信要求が出された後、実際にデータがバスに出力されるまでの間、送信要求にかかるレジスタに対するプロセッサからの書き込みを禁止する構成を有する請求項27、28、29、30、31または32記載のマルチプロセッサシステム。

【請求項34】 受信予定のレジスタファイルの内容を読み出し禁止にしておき、受信制御部がバス経由で受信したデータをプロセッシングエレメント内のレジスタファイルに入力した時点で読み出し可能に変更する構成を有する請求項27、28、29、30、31、32または33記載のマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマルチプロセッサシステムにおけるプロセッサ間通信方法に関し、特にプロセッサ内のレジスタファイルの内容をプロセッサ間で交換する方法及び階層的な通信機構を有するマルチプロセッサシステムに関する。

【0002】

【従来の技術】従来、マルチプロセッサシステムにおけるプロセッサ間通信方法としては以下のような方法が提案されている。

【0003】第1の従来方法は、プロセッサ間でメモリもしくはキャッシュを共有する方法である。プロセッサ間でデータの受渡しが必要な場合、送信側のプロセッサが、送信データを共有されているキャッシュもしくはメモリに書き出し、受信側のプロセッサが該キャッシュもしくはメモリからデータの読み出しを行う。例えば特許第2533162号公報には、各プロセッサ共有のメモリを有し、各プロセッサとメモリの間をバスで接続することにより、各プロセッサがそれぞれ有するレジスタファイル間での通信を共有されたメモリを介して行う方法

が記載されている。また、例えば1次キャッシュをプロセッサ毎に持ち、2次キャッシュを共有する構成の場合、それぞれの1次キャッシュおよび共有の2次キャッシュを結ぶバスを設け、前記バスを用いて1次キャッシュと2次キャッシュの間でデータを交換する。文献"Evaluation of Design Alternatives for a Multiprocessor," (B. A. Nayfeh et. al., ISCA '96, pp67-71, 1996.)では1次キャッシュを共有するモデルや、2次キャッシュを共有するモデル、メモリを共有するモデルが紹介されている。

【0004】第2の従来方法は、全てのプロセッサでレジスタファイルを共有する方法である。本方法では、プロセッサ毎独立のレジスタファイルを持たず、全てのプロセッサが同時に読み書きできるよう複数のポートを備えたレジスタファイルを全プロセッサで共用する。例えば特開平10-78880号公報では、マルチスレッド実行方式に関わるプロセッサ間通信方法が提案されており、その中でレジスタファイルを共有することによるプロセッサ間通信も提案されている。

【0005】第3の従来方法は、各プロセッサ毎に独立のレジスタファイルを持ち、各レジスタファイルの間でレジスタの内容をコピーすることによりプロセッサ間の通信を行う方法である。各レジスタファイルは対応するプロセッサが読み書きを行うポートだけでなく、他のレジスタファイルに対して直接データを送受信するためのポートを持ち、このポートを介して各レジスタの内容をコピーする。レジスタファイル間では複数のレジスタの内容を同時に送受信できる通信路を持つため、複数のレジスタを同時にコピーすることが可能である。例えば特開平1078880号公報による方法では、各レジスタファイルをバスに接続して任意のレジスタファイル間で多対多の通信を行う方法や、各レジスタファイルをリング状に接続して隣接するレジスタファイル間でのみ通信を行う方法が提案されている。

【0006】

【発明が解決しようとする課題】第1の従来方法では、レジスタファイル上のデータをプロセッサ間で通信するには送信元のプロセッサがレジスタファイル上のデータを共有されたキャッシュあるいはメモリに転送し、受信側のプロセッサがキャッシュあるいはメモリ上のデータをレジスタに転送しなければならず、プロセッサ間通信に要する時間がどうしても長くなる傾向がある。これに対して、第2の従来方法は、送信元のプロセッサが使用しているレジスタを他のプロセッサが参照可能であり、物理的なデータの移動を行うことなくプロセッサ間の通信を行うことができ、また、第3の従来方法は、キャッシュやメモリを経由せずに各レジスタファイルの間でレジスタの内容がコピーでき、何れも第1の従来方法に比べて、プロセッサ間通信に要する時間を短縮できる。

【0007】しかし、第2の従来方法では、レジスタフ

ァイルをプロセッサ間で共有するが故にプロセッサの数が増えるにつれて個々のプロセッサが高速にレジスタファイルにアクセスすることが困難になってくる。レジスタファイルには読み書きのためのポートが各プロセッサ分必要であり、このポート数が増加するとアクセスの動作速度が低下するからである。

【0008】また、第3の従来方法も、各レジスタファイルをバスに接続する方法では、プロセッサの数が増えるにつれてレジスタファイル間で高帯域な通信を行うことが困難になってくる。1つのバスを複数のレジスタファイルで共有するため、レジスタファイルの数が増加すると1つのレジスタファイルあたりの通信容量が減少し、またバスに接続されるレジスタファイルの数が増加すると、バスの動作速度が低下し、バスの帯域が減少するからである。さらに、各レジスタファイルをリング状に接続する方法では、隣接するレジスタファイルの間でのみレジスタ内容のコピーが可能であるため、送信元のプロセッサが隣接するプロセッサ以外のプロセッサと通信する際は、その間に位置する全てのプロセッサを順次に経由する必要があるため、任意のプロセッサ間で通信を行う必要がある場合に高速なプロセッサ間通信が困難になる。

【0009】

【発明の目的】本発明は以上の問題点に鑑み発案されたものであり、多数のプロセッサを含むマルチプロセッサシステムにおいても高速なプロセッサ間通信を実現することを目的とする。

【0010】

【課題を解決するための手段】本発明では、マルチプロセッサシステムを構成するプロセッサ群をプロセッシングエレメントという複数のグループに分割し、同じプロセッシングエレメントに属するプロセッサ間では同一のレジスタファイルを物理的に共有することでプロセッサ間通信を行い、異なるプロセッシングエレメントに属するプロセッサ間ではバス経由でレジスタファイルの内容を直接転送することでプロセッサ間通信を行う。このような方法によれば、相互に通信する頻度の高い幾つかのプロセッサ毎にレジスタファイルを物理的に共有させることで、それらのプロセッサ間で高速なプロセッサ間通信が可能になり、また、レジスタファイルを物理的に共有しないプロセッサ間でもバス経由によるレジスタファイルの直接転送でプロセッサ間通信が行える。

【0011】プロセッシングエレメント間をつなぐバスとしては、レジスタファイルに含まれる各レジスタに1対1に対応するチャンネルを有するバスを使用することで高帯域な通信が実現できる。また、レジスタファイルに含まれるレジスタの数より少ないチャンネル数のバスを使用し、複数のレジスタで1つのチャンネルを共用すれば、その分バスの帯域は減少するが、ハードウェア量が少なく済む。

【0012】プロセッシングエレメント間をつなぐバスは、1本のバスであっても良いが、1本のバスを多数のプロセッシングエレメントで共有するとバス競合の確率が高まって効率的な通信が困難になる。そこで本発明では、複数のバス及びバス間で相互にデータの中継を行うブリッジから構成されるバス構造を使用し、プロセッシングエレメント群を複数のグループに分割し、同じグループに属するプロセッシングエレメント間とは同じ1つのバス経由で通信し、異なるグループに属するプロセッシングエレメント間とはブリッジを用いて複数のバス経由で通信する。より具体的には、複数の局所的バス、1以上の大域的バス及びバス間で相互にデータの中継を行うブリッジから構成されるバス構造を使用し、プロセッシングエレメント群を複数のグループに分割し、同じグループに属するプロセッシングエレメント間とは同じ1つの局所的バス経由で通信し、異なるグループに属するプロセッシングエレメント間とはブリッジを用いて複数のバス経由で通信する。このような方法によれば、相互に通信する頻度の高い幾つかのプロセッシングエレメント毎に同じ局所的バスに接続することでそれらのプロセッシングエレメント間では1本のバス経由による高速なプロセッサ間通信が可能になり、また、異なる局所的バスに接続されるプロセッシングエレメント間でも複数の局所的バス、ブリッジ及び大域的バス経由によるレジスタファイルの直接転送でプロセッサ間通信が行える。

【0013】局所的バスおよび局所的バス間を相互に接続するための大域的バスから構成される階層的なバス構造を使用する場合、異なるプロセッサ間通信で生じ得る各バス上での競合を如何に解消するかが1つの課題である。各バス毎に設けたバス調停回路や全バス共通に設けた1つのバス調停回路によって動的にバス競合を解消する方法は多くのハードウェアが必要になる上、バス調停に要する時間がオーバーヘッドとなる。そこで本発明では、プロセッシングエレメント間をバス経由でつなぐルートであって他のルートとバス競合が発生しない1以上のルートを事前に決定し、該決定したルートによるプロセッサ間通信のみを行わせる。これにより、少ないハードウェアでオーバーヘッドの少ないプロセッサ間通信が可能となる。

【0014】また本発明では、より高帯域なプロセッサ間通信を実現するために、異なるプロセッサ間通信でバスを時分割的に使用する方法、バスを1レジスタ分の幅に相当するチャンネルと呼ぶ通信路に分割して異なるプロセッサ間通信で同じバスを空間分割的に使用する方法、それらを組み合わせた方法を採用する。

【0015】異なるプロセッサ間通信でバスを時分割的に使用する場合、プロセッシングエレメント間をバス経由でつなぐルートであって他のルートと同一バス上で時間的に競合が発生しない1以上のルート及び各ルートの各バスの使用時刻を事前に決定し、この決定されたルー

ト及び使用時刻によるプロセッサ間通信のみを行わせる。これを実現する具体的な方法は、第1の方法として、プロセッサを時刻に同期させて動作させ、前記決定されたルート及び使用時刻によるプロセッサ間通信のみ実施するよう各プロセッサをプログラミングしておき、各ブリッジは前記決定されたルート及び使用時刻によるプロセッサ間通信のみデータの中継動作を行う方法がある。

【0016】また第2の方法として、プロセッシングエレメント内のレジスタファイルの内容を該プロセッシングエレメントに属するプロセッサからの送信要求に従ってバス経由で送信する制御を司る送信制御部で、前記決定されたルート及び使用時刻によるプロセッサ間通信のみ実施されるよう制御し、各ブリッジは前記決定されたルート及び使用時刻によるプロセッサ間通信のみデータの中継動作を行う方法がある。具体的には、時刻による入出力制御を行うためのタイムテーブルをプロセッシングエレメント内に、また時刻による中継制御を行うためのタイムテーブルをブリッジ内にそれぞれ設け、これらのタイムテーブルを用いることによってプロセッシングエレメントにおける入出力制御及びブリッジにおける経路制御を時刻に対して一意に定め、プロセッサから送信要求が行われたときにプロセッシングエレメント内の送信制御部は時刻を元にタイムテーブルを参照してレジスタからバスへのデータの出力制御を行い、ブリッジは時刻を元にタイムテーブルを参照してバス間のデータの中継処理を行い、さらにプロセッシングエレメント内の受信制御部は時刻を元にタイムテーブルを参照してバスからレジスタへのデータの入力制御を行う。あるいは、コネクション番号もしくはデータの宛先による入出力制御を行うためのコネクションテーブル及び時刻による入出力制御を行うためのタイムテーブルをプロセッシングエレメント内に、コネクション番号もしくはデータの宛先による中継制御を行うためのコネクションテーブルをブリッジ内に、コネクション番号もしくはデータの宛先を制御情報として伝達するための制御用チャンネルをバス内にそれぞれ設け、プロセッサからデータを出力する際にはコネクション番号もしくは宛先を制御情報として送信要求を行い、プロセッシングエレメント内の送信制御部は制御情報を元にコネクションテーブル及びタイムテーブルを参照してバスへのデータ及び制御情報の出力制御を行い、ブリッジは制御チャンネルから受信した制御情報を元にコネクションテーブルを参照してバス間のデータ及び制御情報の中継処理を行い、さらにプロセッシングエレメント内の受信制御部は受信した制御情報を元にコネクションテーブルを参照してバスからレジスタへのデータの入力制御を行う。

【0017】異なるプロセッサ間通信で同じバスを空間分割的に使用する場合、プロセッシングエレメント間をバス経由でつなぐルートであって他のルートと同一バス

の同一チャネル上で競合が発生しない1以上のルートを事前に決定し、バスをチャネル単位で空間分割的に使用することにより、前記決定されたルートによるプロセッサ間通信のみを行わせる。これを実現する具体的な方法は、第1の方法として、前記決定されたルートによるプロセッサ間通信のみ実施するよう各プロセッサをプログラミングしておき、各ブリッジは前記決定されたルートによるプロセッサ間通信のみデータの中継動作を行う方法がある。

【0018】また第2の方法として、プロセッシングエレメント内のレジスタファイルの内容を該プロセッシングエレメントに属するプロセッサからの送信要求に従ってバス経由で送信する制御を司る送信制御部で、前記決定されたルートによるプロセッサ間通信のみ実施されるよう制御し、各ブリッジは前記決定されたルートによるプロセッサ間通信のみデータの中継動作を行う方法がある。具体的には、入出力制御を行うための接続テーブルをプロセッシングエレメント内にチャネル毎に設け、中継制御を行うための接続テーブルをブリッジ内にチャネル毎に設け、これらの接続テーブルを用いることよってプロセッシングエレメントにおける入出力制御及びブリッジにおける経路制御を各チャネル別に定め、プロセッサからデータを出力する際には1つ以上のレジスタを選んで送信要求を行い、プロセッシングエレメント内の送信制御部は送信要求が行われた各レジスタに対応するチャネルに関する接続テーブルを参照して各レジスタからバスへのデータの出力制御をチャネル毎に行い、ブリッジは各チャネルに関する接続テーブルを参照してバス間のデータの中継処理をチャネル毎に行い、さらにプロセッシングエレメント内の受信制御部は各チャネルに関する接続テーブルを参照してバスからレジスタへのデータの入力制御をチャネル毎に行う。

【0019】異なるプロセッサ間通信でバスを時分割的かつ空間分割的に使用する場合、プロセッシングエレメント間をバス経由でつなぐルートであって他のルートと同一バスの同一チャネル上で時間的に競合が発生しない1以上のルート及び各ルートの各バスのチャネルの使用時刻を事前に決定し、バスをチャネル単位で時分割的かつ空間分割的に使用することにより、前記決定されたルート及び使用時刻によるプロセッサ間通信のみを行わせる。これを実現する具体的な方法は、第1の方法として、プロセッサを時刻に同期させて動作させ、前記決定されたルート及び使用時刻によるプロセッサ間通信のみ実施するよう各プロセッサをプログラミングしておき、各ブリッジは前記決定されたルート及び使用時刻によるプロセッサ間通信のみデータの中継動作を行う方法がある。

【0020】また第2の方法として、プロセッシングエレメント内のレジスタファイルの内容を該プロセッシングエレメントに属するプロセッサからの送信要求に従っ

てバス経由で送信する制御を司る送信制御部で、前記決定されたルート及び使用時刻によるプロセッサ間通信のみ実施されるよう制御し、各ブリッジは前記決定されたルート及び使用時刻によるプロセッサ間通信のみデータの中継動作を行う方法がある。具体的には、時刻による入出力制御を行うためのタイムテーブルをプロセッシングエレメント内に、また時刻による中継制御を行うためのタイムテーブルをブリッジ内にそれぞれチャネル毎に設け、これらのタイムテーブルを用いることよってプロセッシングエレメントにおける入出力制御及びブリッジにおける経路制御を各チャネル毎に時刻に対して一意に定め、プロセッサから送信要求が行われたときにプロセッシングエレメント内の送信制御部は時刻を元に各タイムテーブルを参照してレジスタからバスへのデータの出力制御をチャネル毎に行い、ブリッジは時刻を元に各タイムテーブルを参照してバス間のデータの中継処理をチャネル毎に行い、さらにプロセッシングエレメント内の受信制御部は時刻を元に各タイムテーブルを参照してバスからレジスタへのデータの入力制御をチャネル毎に行う。あるいは、コネクション番号もしくはデータの宛先による入出力制御を行うためのコネクションテーブル及び時刻による入出力制御を行うためのタイムテーブルをプロセッシングエレメント内に、コネクション番号もしくはデータの宛先による中継制御を行うためのコネクションテーブルをブリッジ内に、コネクション番号もしくはデータの宛先を制御情報として伝達するための制御用チャネルをバス内にそれぞれチャネル毎に設け、プロセッサからデータを出力する際にはコネクション番号もしくは宛先を制御情報として送信要求を行い、プロセッシングエレメント内の送信制御部は制御情報を元に各コネクションテーブル及び各タイムテーブルを参照してバスへのデータ及び制御情報の出力制御をチャネル毎に行い、ブリッジは制御チャネルから受信した制御情報を元に各コネクションテーブルを参照してバス間のデータ及び制御情報の中継処理をチャネル毎に行い、さらにプロセッシングエレメント内の受信制御部は受信した制御情報を元に各コネクションテーブルを参照してバスからレジスタへのデータの入力制御をチャネル毎に行う。

【0021】前述した第2の方法を用いる場合、各プロセッシングエレメント内の送信制御部は、送信要求が出された後、実際にデータがバスに出力されるまでの間、送信要求にかかるレジスタに対するプロセッサからの書き込みを禁止する。また、受信予定のレジスタファイルの内容を読み出し禁止にしておき、受信制御部がバス経由で受信したデータをプロセッシングエレメント内のレジスタファイルに入力した時点で読み出し可能に変更する。

【0022】

【発明の実施の形態】次に本発明の実施の形態の例について図面を参照して詳細に説明する。

【0023】

【実施例1】図1は本発明を適用したマルチプロセッサシステムの第一の実施例の構成を示すブロック図である。本実施例においてマルチプロセッサシステム1は、1つのレジスタファイル及びこれを共有する複数のプロセッサを含む複数のプロセッシングエレメント2-1～2-24、近接するプロセッシングエレメント間で通信を行うための局所的バス3-1～3-12、離れたプロセッシングエレメント間で通信を行うための大域的バス5-1～5-14、大域的バス間および局所的バスと大域的バス間を接続するブリッジ4-1～4-12で構成される。以下では局所的バスと大域的バスを区別せずに呼ぶ場合、単にバスと呼ぶ。

【0024】ここで、プロセッシングエレメント間が近接するとは、例えばマルチプロセッサシステム1を構成するプロセッサが1つの半導体上に集積されている場合、その半導体上での距離が近い場合を指す。この場合、局所的バス3-1～3-12および大域的バス5-1～5-14、ブリッジ4-1～4-12も同じ半導体上に集積される。また、各プロセッサを別々の半導体上に集積し、これら複数の半導体が基板上に実装されている場合、その基板上での距離が近い場合を指す。この場合、局所的バス3-1～3-12および大域的バス5-1～5-14、ブリッジ4-1～4-12は基板上に実装される。多くのプロセッサ及びバスを1つの半導体上に集積する1つの利点は、プロセッサ間の通信に大きな帯域幅を取ることができることである。また、各プロセッサを別々の半導体上に実装した場合であっても、実装技術の進展によりプロセッサ間の通信に従来より大きな帯域幅をとることが可能である。

【0025】プロセッシングエレメントは、マルチプロセッサシステム1上で2次元配列状に配置され、局所的バスを用いて横方向に隣接した1つ以上のプロセッシングエレメント間で通信を行う。各局所的バスにはそれぞれ1つのブリッジが接続されており、横方向の大域的バス5-1～5-6及び縦方向の大域的バス5-7～5-14によって前記ブリッジ間の通信を行う。横方向の大域的バスは横方向に隣接した1つ以上のブリッジを接続し、図1のように複数の大域的バスを用いて横方向の一系列のブリッジを接続する。隣接する2つの横方向の大域的バスはその端点において1つのブリッジに接続され、このブリッジを介して通信を行う。縦方向の大域的バスは縦方向に隣接した1つ以上のブリッジを接続する。縦方向の大域的バスも、横方向の大域的バスと同様に、複数の大域的バスを用いて縦方向の一系列のブリッジを接続する。局所的バス及び大域的バスは後述するように複数のチャンネルで構成される。

【0026】図2は、本実施例におけるプロセッシングエレメント2-1の構成を示す。プロセッシングエレメント2-2～2-24も全てプロセッシングエレメント2-1と同様の構成である。プロセッシングエレメント2-1は、レ

ジスタファイル20と、このレジスタファイル20を共有する形で相互に通信するプロセッサ21-1～21-2で構成される。レジスタファイル20は、プロセッサ21-1～21-2で物理的に共有される複数のレジスタ22-1～22-3、各レジスタに対してそれぞれ1つずつ接続する送信ゲート23-1～23-3及び受信ゲート24-1～24-3、全送信ゲートを制御する送信制御部25、全受信ゲートを制御する受信制御部26、送信制御部25と受信制御部26に局所的バスとレジスタの間の接続情報を与える接続テーブル27、各プロセッサ21-1～21-2からの送信要求の和をとる論理和回路28で構成される。本例では、3つのレジスタ22-1～22-3を2台のプロセッサ21-1～21-2で共有したが、共有レジスタ数は3つに限定されず、またプロセッサ数も2台に限定されない。

【0027】また図2に示すように、局所的バス3-1は複数のチャンネル31-1-1～31-1-3で構成される。各チャンネルは本実施例ではレジスタファイル上の各レジスタ22-1～22-3と1対1に対応する。各チャンネル31-1-1～31-1-3は、1レジスタ分の幅に相当するデータチャンネルである。

【0028】図3は、本実施例におけるブリッジ4-1の構成を示す。ブリッジ4-2～4-12も基本的に本図と同様の構成であるが、ブリッジに接続されるバスの数によって中継回路内のレジスタ42-1～42-3及び選択回路43-1～43-3の個数が異なる。ブリッジ4-1は各バスの同じチャンネル毎に設けられた中継回路41-1～41-3と、各バス間の接続情報を与える接続テーブル44とで構成され、中継回路41-1は各バス毎に設けられたレジスタ42-1～42-3とその出力の何れか1つを選択してバスに出力する選択回路43-1～43-3とで構成される。中継回路41-2及び41-3は中継回路41-1と同じ構成であるため、ここではその構成を省略した。

【0029】また、図3に示すように、大域的バス5-1及び5-7は局所的バス3-1と同じく、それぞれ同じ数の複数のチャンネル51-1-1～51-1-3、チャンネル51-7-1～51-7-3で構成される。

【0030】本実施例においては、プロセッシングエレメント間をバス経由でつなぐルートであって他のルートとバス競合が発生しない1以上のルートを事前に決定し、この決定したルートによるプロセッサ間通信のみを許可する。例えば図1において、プロセッシングエレメント2-1とプロセッシングエレメント2-24との間をバス経由でつなぐルートとしては、例えば局所的バス3-1→大域的バス5-7→大域低バス5-11→大域的バス5-5→大域的バス5-6→局所的バス3-12のルートがある。若し、このルートによるプロセッサ間通信を許可した場合、このルートが使用するバスを使う他のルートによるプロセッサ間通信は許可しない。しかし、このルートが使用しないバスを使う他のルートであれば許可できる。例えば、プロセッシングエレメント2-3からプロセッシング

エレメント2-8 へのルートである、局所的バス3-2 →大域的バス5-1 →大域的バス5-2 →局所的バス3-4 のルートによるプロセッサ間通信は可能である。

【0031】プロセッサ間通信を許可するプロセッシングエレメントの組及びそれに使うルートが決定したら、そのルートによるプロセッサ間通信のみ許可するように、各プロセッシングエレメント内の接続テーブル27及び各ブリッジ内の接続テーブル44の内容を事前に設定する。接続テーブル27の設定例を図4に、接続テーブル44の設定例を図5にそれぞれ示す。

【0032】図4を参照すると、プロセッシングエレメント2-1 内の接続テーブル27は、各レジスタ22-1～22-3 毎に、当該レジスタを局所的バス3-1 に接続可能か否かの情報を送受信別に保持する。図4の例ではレジスタ22-1及びレジスタ22-2は局所的バスにデータの送信が可能であり、レジスタ22-2及びレジスタ22-3は局所的バスからのデータの受信が可能であることを示している。ここで、接続テーブル27は基本的には接続可、接続不可の何れかを示す1ビットの情報で足りる。図4の例で、レジスタ別および送受信別に可否を設定してあるのは、真に送受信の必要なレジスタのみを送受信することで、送受信不要なレジスタを送受信することによる無駄なバス駆動を抑え、消費電力を削減するためである。他のプロセッシングエレメント内の接続テーブルも、許可されたルートによるプロセッサ間通信のみが可能ないように設定される。

【0033】図5を参照すると、ブリッジ4-1 内の接続テーブル44は、各バス内のそれぞれのチャンネルに対して、該チャンネルに送信するデータを受信するバスを記述する。図5の例では、局所的バス3-1 のチャンネル1は送信が不可能であり、チャンネル2、3には大域的バス5-7 の同チャンネルから受信したデータを送信することが可能であることを示している。他のブリッジ内の接続テーブルも、許可されたルートによるプロセッサ間通信のみが可能ないように設定される。

【0034】次に図1から図5を参照して本実施例のマルチプロセッサシステムにおけるプロセッサ間通信の動作を説明する。

【0035】まず、同じプロセッシングエレメントに属するプロセッサ間での通信を説明する。図2を参照すると、同じプロセッシングエレメントに属するプロセッサ21-1～21-2は、プロセッサ毎独立のレジスタファイルを持たず、第2の従来技術と同様に複数のプロセッサが同時に読み書きできるよう複数のポートを備えたレジスタ22-1～22-3を物理的に共用する。このため、送信元のプロセッサが使用しているレジスタを他のプロセッサが参照することで、物理的なデータの移動を行うことなくプロセッサ間の通信が行われる。

【0036】次に、プロセッシングエレメント2-1 及び2-2 を用いて、同じ局所的バスに接続されたプロセッ

ングエレメント間での通信を説明する。ただし、ここではプロセッシングエレメント2-1 及び2-2 の構成が同じであるため、共に図2を参照する。プロセッシングエレメント2-1 内のプロセッサ21-1もしくは21-2が送信制御部25に対して送信要求を行うと、送信制御部25は接続テーブル27を参照して送信の可否および送信可能な場合は送信を行うレジスタを決定する。プロセッサによる送信要求では各レジスタについてそれぞれ送信を行うか否かを指定し、複数のプロセッサからの送信要求は論理和回路28によって各レジスタ毎にそれぞれの論理和をとって送信制御部25に伝えられる。送信要求が行われたレジスタが接続テーブル27において送信可能であると示されている場合、送信制御部25は該レジスタに対応する送信ゲートに対して送信要求を伝える。送信ゲートは送信要求が伝えられると、レジスタの内容を局所的バス3-1 に出力する。送信要求が行われたレジスタが接続テーブル27において送信不可であると記されている場合には、送信制御部25はこの送信要求を却下し、送信ゲートには指示を与えない。

【0037】プロセッシングエレメント2-2 では、受信制御部26によって受信ゲート24-1～24-3の開閉を制御する。受信制御部26では接続テーブル27を参照し、受信可能とされているレジスタに関して、該レジスタに対応する受信ゲートに受信可能であることを伝える。受信ゲートは局所的バスを監視し、接続されたチャンネル上に他のプロセッシングエレメントによってデータが出力されており、かつ受信制御部によって受信が許可されている場合は局所的バスからレジスタへとデータを入力する。

【0038】同じ局所的バスに接続されたプロセッシングエレメント間での通信は、以上のようにして実現され、それに要する時間は1クロックである。つまり、或るクロックで送信側プロセッシングエレメントのレジスタファイルから送信されたデータは次のクロックで受信側プロセッシングエレメントのレジスタファイルに書き込まれる。

【0039】次に、離れたプロセッシングエレメント間での通信を説明する。例として、プロセッシングエレメント2-1 及び2-24間の通信が、局所的バス3-1 →大域的バス5-7 →大域的バス5-11→大域的バス5-5 →大域的バス5-6 →局所的バス3-12のルートで事前に許可されているものとして、そのルートによる通信を説明する。

【0040】プロセッシングエレメント2-1 から局所的バス3-1 へのデータ出力は、プロセッシングエレメント2-1 からプロセッシングエレメント2-2 への通信で説明した場合と同様に行われる。ブリッジ4-1 は、接続されている局所的バス3-1 もしくは大域的バス5-1、5-7 上の各チャンネルにデータが出力されていると、これを中継回路41-1～41-3内のレジスタに取り込む。選択回路では接続テーブル44を参照し、自らが接続されているバスに対して、該テーブルで指示されたバスから入力したデー

タを出力する。このようにしてプロセッシングエレメント2-1 から局所的バス3-1 に出力されたデータは大域的バス5-1 に中継される。ブリッジ4-5、4-9、4-11、4-12も同様にしてデータの中継を行い、最終的にデータは局所的バス3-12に到達する。プロセッシングエレメント2-24は、プロセッシングエレメント2-1 からプロセッシングエレメント2-2 への通信で説明した場合と同様にして、局所的バス3-12上に出力されたデータをレジスタファイルに取り込む。

【0041】異なる局所的バスに接続されたプロセッシングエレメント間での通信は、以上のようにして実現され、それに要する時間は、経由するブリッジの数を n とすると、 $1+n$ クロックである。即ち、各ブリッジはバスを流れるデータを選択的に受信して、そのデータを次のクロックで出力するというスイッチ動作を行うため、同じ局所的バスに接続されたプロセッシングエレメント間での通信に比べて、経由するブリッジの段数分の遅延が加算される。

【0042】本実施例のマルチプロセッサシステムでは、同じプロセッシングエレメント内のプロセッサ間ではレジスタファイルを物理的に共有している為、瞬時のプロセッサ間通信が可能であり、また同じ局所的バスに接続されたプロセッシングエレメント間では高々1クロックで通信できる。従って、各プロセッシングエレメント毎にそれぞれ独立な並列処理を割り当てたり、同じ局所的バスに接続された2つのプロセッシングエレメント単位でそれぞれ独立な並列処理を割り当てることで、複数の並列処理を高速に実行することが可能となる。また、異なる局所的バスに接続されたプロセッシングエレメント間でも大域的バスおよびブリッジ経由による通信が可能であるため、異なる局所的バスに接続された2つのプロセッシングエレメント単位でそれぞれ独立な並列処理を割り当てることもできる。

【0043】

【実施例2】本発明を適用したマルチプロセッサシステムの第2の実施例の全体構成は図1に示された構成と同様であり、本実施例ではプロセッシングエレメント及びブリッジの構成が異なる。

【0044】図6は、本実施例におけるプロセッシングエレメント100の構成を示す。プロセッシングエレメント100は第1の実施例によるプロセッシングエレメント2-1〜2-24とほぼ同様の構成であり、異なる点は、レジスタファイル101において接続テーブル27がなく、接続テーブル27に代わって送信制御部104及び受信制御部105に各時刻毎の接続情報を与えるタイムテーブル102、及びタイムテーブル102に現在時刻を与えるタイマ103を有することであり、さらに送信制御部104及び受信制御部105の動作が第1の実施例とは異なる。また、同じプロセッシングエレメントに属するプロセッサ21-1〜21-2で物理的に共有されるレジスタ106-1〜106-3は、デ

ータを保持するだけでなく、書き込み可否と読み出し可否の状態も保持するため、書き込み禁止フラグ、読み出し禁止フラグを有する。さらに本プロセッシングエレメント100の動作モードを指定するモードフラグ107が設けられている。

【0045】図7は、本実施例におけるブリッジ110の構成を示す。ブリッジ110は第1の実施例によるブリッジ4-1〜4-12とほぼ同様の構成であり、異なる点は接続テーブル44がなく、接続テーブル44に代わって中継回路41-1〜41-3に各時刻毎の接続情報を与えるタイムテーブル112、及びタイムテーブル112に現在時刻を与えるタイマ111を有することである。

【0046】本実施例においても第1の実施例と同じく、プロセッシングエレメント間をバス経由でつなぐルートであって他のルートとバス競合が発生しない1以上のルートを事前に決定する。しかし、本実施例では、局所的バス及び大域的バスを時分割的に使用することにより、送信時刻をずらせば他のルートとバス競合が発生しないルートによるプロセッサ間通信も可能にする。例えば図1において、プロセッシングエレメント2-1とプロセッシングエレメント2-24との間をバス経由でつなぐルートとしては、例えば局所的バス3-1→大域的バス5-7→大域低バス5-11→大域的バス5-5→大域的バス5-6→局所的バス3-12のルートR1がある。このルートR1によるプロセッサ間通信を許可した場合、第1の実施例では、ルートR1が使用するバスを使う他のルートによるプロセッサ間通信は許可できなかった。しかし、ルートR1によって各バスが使用される時刻を予めスケジュールしておけば、そのバスがルートR1によって使用されない時刻に他のルートで使用することができる。

【0047】そこで本実施例では、各プロセッシングエレメント内および各ブリッジ内に設けたタイマ103および111を全て同期させ、時刻1から1時刻ずつカウントアップして時刻 n に達したら、次は再び時刻1に戻ってカウントアップを続けるような周期的カウンタとする。そして、時刻1から時刻 n までを1周期とし、その1周期内にバス競合が発生しないような各プロセッサ間通信の送信スケジュールを事前に割り付ける。例えば、前記ルートR1は、局所的バス3-1を時刻1、大域的バス5-7を時刻2、…、局所的バス3-12を時刻6にそれぞれ使用するようスケジュールし、例えばプロセッシングエレメント2-2と2-10間のプロセッサ間通信に使うルートR2は、局所的バス3-1を時刻2、大域的バス5-7を時刻3、局所的バス3-5を時刻4にそれぞれ使用するようスケジュールする。1周期は、少なくとも最長距離のルートがスケジュールできる周期以上あれば良く、より長くすることもできる。同じルートによるプロセッサ間通信を1周期内に複数スケジュールすることも可能である。

【0048】このようにして各プロセッサ間通信の送信

スケジュールが決定したら、その送信スケジュールによるプロセッサ間通信のみ許可するように、各プロセッシングエレメント内のタイムテーブル102 及び各ブリッジ内のタイムテーブル112 の内容を事前に設定する。タイムテーブル102 の設定例を図8に、タイムテーブル112 の設定例を図9にそれぞれ示す。

【0049】図8を参照すると、各プロセッシングエレメント内のタイムテーブル102 は各時刻及び各レジスタ毎に、レジスタの内容を局所的バスに送信可能か否かと、局所的バス上のデータをレジスタに受信可能か否かの情報を保持する。図7の例では時刻1に、レジスタ106-1 及びレジスタ106-2 が局所的バスに対してデータの送信が可能であり、レジスタ106-2 及びレジスタ106-3 が局所的バスからのデータの受信が可能であり、さらに、時刻2では一切のデータの送信及び受信が不可能であることが示されている。ここで、タイムテーブル102 は基本的には各時刻毎に接続可否を示す1ビットの情報で足りる。図8の例で、レジスタ別および送受信別に可否を設定してあるのは、無駄なレジスタの送受信を防止するためである。

【0050】図9を参照すると、各ブリッジ内のタイムテーブル112 は、各バス内のそれぞれのチャネルに対して、該チャネルに送信するデータを受信するバスを各時刻毎に記述する。図9の例では、局所的バス3-1 の各チャネルに対して、時刻1にはチャネル1 及び2は送信不可能であり、チャネル3には大域的バス5-7 の同チャネルから受信したデータを送信可能であり、時刻2には各チャネル共データの送信は不可能であることを示している。

【0051】次に図6から図9を参照して本実施例のマルチプロセッサシステムにおけるプロセッサ間通信の動作を、第1の実施例との差異を中心に説明する。なお、本実施例の全体的な動作は第一の実施例と同様であるため、ここではプロセッシングエレメント100 及びブリッジ110 の動作を説明する。

【0052】プロセッシングエレメント100 は同期動作モードと非同期動作モードの2種類の動作モードを持ち、何れの動作モードで立ち上げられたかがモードフラグ107に設定されている。同期動作モードで動作するプロセッシングエレメント内の全てのプロセッサは、タイマ103 と同様なタイマによってお互いに同期して事前の送信スケジュール通りに動作するようプログラミングされており、レジスタファイル及びブリッジとも同期して動作する。すなわちこれらは全て同じ時刻を用いて動作しており、確認や応答を行わなくても通信を行うことができる。対して非同期動作モードで動作するプロセッシングエレメント内のプロセッサはそれぞれ同期を取らずに動作しており、レジスタファイル及びブリッジとも同期していないため、プロセッサ間で通信を行う際には何らかの制御が必要である。

【0053】まずはじめに同期動作モードにおけるプロセッシングエレメント100 の動作を説明する。プロセッシングエレメント100 内のプロセッサ21-1もしくは21-2が送信制御部104 に対して送信要求を行うと、送信制御部104 はタイムテーブル102を参照して送信を行うレジスタを決定する。プロセッサによる送信要求では各レジスタについてそれぞれ送信を行うか否かを指定し、複数のプロセッサからの送信要求は論理和回路28によって各レジスタ毎にそれぞれの論理和をとって送信制御部104 に伝えられる。送信要求が行われたレジスタが、タイムテーブル102 においてタイマ103 により与えられた時刻に送信可能であると示されていると、送信制御部104 は該レジスタに対応する送信ゲートに対して送信要求を伝える。送信ゲートは送信要求が伝えられると、レジスタの内容を局所的バス3-1 に出力する。プロセッサによって送信要求が行われたレジスタが、タイムテーブル102 において送信不可能であると示されている場合、送信制御部104 はこの送信要求を却下する。ただし、プロセッサとレジスタファイルは同期して動作しているため、タイムテーブル102 の設定もしくはプロセッサに与えるプログラムに誤りが無い限り、このような事は発生しない。

【0054】次に非同期動作モードにおけるプロセッシングエレメント100 の動作を説明する。プロセッシングエレメント100 内のプロセッサ21-1もしくは21-2が送信制御部104 に対して送信要求を行うと、送信制御部104 はタイムテーブル103 を参照して送信を行うレジスタを決定する。送信要求が行われたレジスタが送信可能と判断された場合の動作は、同期動作モードの場合の動作と同様である。非同期動作モードではプロセッサとレジスタファイルは同期していないため、送信要求が送信不可能と判断されるレジスタがある。この場合、該レジスタに対する送信要求を送信制御部104 内で保持し、該レジスタの書き込み禁止フラグをセットして書き込み禁止に設定する。時刻が経過し、保持されている送信要求にかかるレジスタが送信可能となれば、送信制御部104 は該レジスタに対応する送信ゲートに対して送信要求を伝え、同時に該レジスタに対する送信要求を廃棄し且つ書き込み禁止フラグをリセットして書き込み禁止状態を解除する。

【0055】受信制御部105 による局所的バスからレジスタへのデータ出力の動作は第1の実施例と同様であるが、本実施例においてはタイムテーブル102 から受信制御部105 に与えられる接続情報が時刻毎に変化する。もしプロセッサ21-1〜21-2がレジスタに対して読み出し禁止を設定している場合、該レジスタに対してデータの受信があれば受信制御部105 は該レジスタの読み出し禁止を解除する。これは非同期動作モードのプロセッシングエレメントにおいて、必要なデータが到着するまで該データを格納する予定であるレジスタを読み出し禁止にして、データがまだ到着していないことを示すためであ

る。

【0056】本実施例におけるブリッジの動作は第1の実施例におけるブリッジ4-1の動作とほぼ同様であり、異なる点はタイムテーブル112から与えられる接続情報が時刻毎に変化することである。

【0057】本実施例のマルチプロセッサシステムは、局所的バスおよび大域的バスを時分割的に使用するため、第1の実施例のマルチプロセッサシステムと異なり、全てのプロセッシングエレメント間に通信のルートを設定することが可能である。なお、送信側プロセッシングエレメント及び受信側プロセッシングエレメントは共に同じ動作モードに設定しておくのが基本であるが、送信側プロセッシングエレメントが同期動作モードの場合、受信側プロセッシングエレメントは非同期動作モードであっても良い。

【0058】

【実施例3】本発明を適用したマルチプロセッサシステムの第3の実施例の全体構成は図1に示された構成と同様であり、本実施例ではプロセッシングエレメント及びブリッジの構成が異なる。また本実施例ではバス上にデータだけが送信されるのではなく、データの通信経路を制御するための制御情報としてコネクション番号も同時に送信される。そのため、後述するように局所的バス及び大域的バスはそれぞれ1つの制御チャンネルを持つ。

【0059】図10は、本実施例におけるプロセッシングエレメント120の構成を示し、併せて局所的バスの構成を示している。全ての局所的バスは、局所的バス3-1に例示するようにデータ用のチャンネル31-1-1～31-1-3に加えて、1つの制御チャンネル32-1を有する。また、プロセッシングエレメント120は第1の実施例によるプロセッシングエレメント2-1～2-24とほぼ同様の構成であり、異なる点は、レジスタファイル121において接続テーブル27がなく、接続テーブル27に代わって送信制御部124及び受信制御部125に接続情報を与えるコネクションテーブル122及びタイムテーブル123と、タイムテーブル123に現在時刻を与えるタイマ128とを有することであり、さらに送信制御部124及び受信制御部125の動作が異なる。またプロセッシングエレメント120では論理回路を持たず、各プロセッサ127-1～127-2がそれぞれ直接送信制御部124に接続されている。レジスタ126-1～126-3はデータを保持するだけでなく、書き込み可否と読み出し可否の情報も保持するため、書き込み禁止フラグ及び読み出し禁止フラグを有する。さらに本プロセッシングエレメント120の動作モードを指定するモードフラグ107が設けられている。

【0060】図11は、本実施例におけるブリッジ130の構成を示し、併せて大域的バスの構成を示している。全ての大域的バスは、大域的バス5-1、5-7に例示するようにデータ用のチャンネル51-1-1～51-1-3、51-7-1～51-7-3に加えて、1つの制御チャンネル52-1、52-7を有す

る。ブリッジ130は第1の実施例によるブリッジ4-1～4-12とほぼ同様の構成であり、異なる点は接続テーブル44がなく、制御チャンネル上の制御情報の中継を行う中継回路41-4、制御チャンネル上の制御情報をもとに中継回路41-1～41-4に接続情報を与える中継制御部131、中継制御部131にコネクション情報を与えるコネクションテーブル132を有することである。

【0061】本実施例においても第1の実施例と同じく、プロセッシングエレメント間をバス経由でつなぐルートであって他のルートとバス競合が発生しない1以上のルートを事前に決定する。また第2の実施例と同じく、局所的バス及び大域的バスを時分割的に使用することにより、送信時刻をずらせば他のルートとバス競合が発生しないルートによるプロセッサ間通信も可能にする。しかし、本実施例では、データの通信経路を制御するための制御情報としてコネクション番号を使用することにより、ブリッジ経由の通信ルート数が少ない場合に、そのブリッジで保有すべきテーブルの容量を削減している。即ち第2の実施例では、各ブリッジは、自ブリッジを経由するルートの数に関係なく時刻1から時刻nまでのエントリを持つタイムテーブルが必要であったが、本実施例では、自ブリッジを経由するルートの数だけのエントリを持つコネクションテーブルで済む。

【0062】また、本実施例では、バス競合が発生する複数のルートによるプロセッサ間通信であっても、それら複数のルートによるプロセッサ間通信が同時に起動されない場合には、実際にはバス競合が起きない点に着目し、送信元プロセッサが同じ時刻にそれぞれ異なるプロセッサ間通信を択一的に起動できるようにしている。例えば図1において、プロセッシングエレメント2-1とプロセッシングエレメント2-24との間を、局所的バス3-1→大域的バス5-7→大域低バス5-11→大域的バス5-5→大域的バス5-6→局所的バス3-12のルートR1で通信する第1のプロセッサ間通信と、プロセッシングエレメント2-1とプロセッシングエレメント2-10との間を、局所的バス3-1→大域的バス5-7→局所的バス3-5のルートR2で通信する第2のプロセッサ間通信とを許可する場合、第2の実施例では、プロセッシングエレメント2-1から局所的バス3-1にデータを出力する時刻を第1及び第2のプロセッサ間通信でずらす必要がある。本実施例では、第1のプロセッサ間通信と第2のプロセッサ間通信とが同時に起動されないことを前提に、その双方の通信を許可し、プロセッサからの送信要求時に何れの通信を望むのかを、コネクション番号と呼ぶ番号によって指定させる。本実施例においてはコネクション番号として任意の番号を用いる。第1および第2のプロセッサ間通信が同時に起動されないようにすることを含め、競合するプロセッサ間通信が同時に起動されないようにするには、プロセッサ側で保証する方法と、レジスタファイルの送信制御部側で保証する方法とがある。前者は同期動

作モードによる方法であり、後者は第2の実施例と同様なタイムテーブルによる方法である。

【0063】各プロセッサ間通信の送信スケジュールが決定したら、その送信スケジュールによるプロセッサ間通信のみ許可するように、各プロセッシングエレメント内のコネクションテーブル122 及び各ブリッジ内のコネクションテーブル132 の内容を事前に設定し、また各プロセッシングエレメント内のタイムテーブル123 の内容を事前に設定する。コネクションテーブル122 の設定例を図1 2に、タイムテーブル123 の設定例を図1 3に、コネクションテーブル132 の設定例を図1 4にそれぞれ示す。

【0064】図1 2を参照すると、各プロセッシングエレメント内のコネクションテーブル122 は各コネクション番号及び各レジスタ毎に、レジスタの内容を局所的バスに送信可能か否かと、局所的バス上のデータをレジスタに受信可能か否かの情報を保持する。図1 1の例では、コネクション1 に対してはレジスタ126-1 及びレジスタ126-2 から局所的バスにデータの送信が可能であり、レジスタ126-2 及びレジスタ126-3 は局所的バスからのデータの受信が可能であり、コネクション2 では一切のデータの送信及び受信は不可能であることを示している。

【0065】図1 3を参照すると、各プロセッシングエレメント内のタイムテーブル123 は各コネクション番号毎に、各時刻における送信可否を保持する。図1 3の例では、時刻1 においてコネクション1 及び2 による送信が可能であり、時刻2 では全てのコネクションが送信不可能であることを示している。

【0066】図1 4を参照すると、各ブリッジ内のコネクションテーブル132 は、各バスに対して、該バスから受信したデータの送信先となるバス及び送信時に使用するコネクション番号を記述する。図1 4の例では、局所的バス3-1 の各チャンネルからは、コネクション1 のデータを受信してこれを大域的バス5-1 の各チャンネルにコネクション2 として送信し、コネクション3 のデータを受信してこれを大域的バス5-7 の各チャンネルにコネクション1 として送信することを示している。なお、コネクション番号の変更は全てのコネクションで必要であるとは限られないため、新コネクション番号がNULL の場合もあり、その場合、ブリッジはコネクション番号の変更は行わない。

【0067】次に図1 0から図1 4を参照して本実施例のマルチプロセッサシステムにおけるプロセッサ間通信の動作を説明する。なお、本実施例の全体的な動作は第1の実施例と同様であるため、ここではプロセッシングエレメント120 及びブリッジ130 の動作を説明する。

【0068】本実施例においても第2の実施例と同じくプロセッシングエレメント120 は同期動作モードと非同期動作モードの2種類の動作モードを持つ。まずはじめ

に同期動作モードにおけるプロセッシングエレメント120 の動作を説明する。

【0069】プロセッシングエレメント120 内のプロセッサ127-1 もしくは127-2 が送信制御部124 に対して送信要求を行うと、送信制御部124 はコネクションテーブル122 を参照して送信を行うレジスタを決定する。プロセッサによる送信要求では送信を行うコネクション番号が送信制御部124 に対して出力される。送信制御部124 は与えられたコネクション番号でコネクションテーブル122 を参照し、送信を行うレジスタを決定し、該レジスタに対応する送信ゲートに対して送信要求を伝え、コネクション番号を制御チャンネル32-1に出力する。送信ゲートは送信要求が伝えられると、レジスタの内容を局所的バス3-1 に出力する。同期動作モードの場合、それぞれのプロセッサは同期して動作しているため、各プロセッサのプログラムに誤りが無い限り、複数のプロセッサが同時に送信制御部124 に対して送信要求を行うことはない。万一同時に送信要求が行われた場合、送信制御部124は送信要求を廃棄して良い。また、同期動作モードの場合、異なるプロセッシングエレメントから途中のバスを競合するようなデータの送信は行われないため、プロセッシングエレメントでは送信制御に際してタイムテーブル123 は使用しない。

【0070】次に非同期動作モードにおけるプロセッシングエレメント120 の動作を説明する。プロセッシングエレメント120 内のプロセッサ127-1 もしくは127-2 が送信制御部124 に対して送信要求を行うと、送信制御部はタイムテーブル123 及びコネクションテーブル122 を参照して送信を行うレジスタを決定する。非同期動作モードのプロセッシングエレメント内のプロセッサは他のプロセッサと同期して動作していないため、該プロセッサの要求通りに送信制御を行った場合、いずれかのバス上で他のプロセッサから出力されたデータと競合が発生する可能性がある。そのため非同期動作モードではタイムテーブル123 にあらかじめ競合が発生しないような送信スケジュールが設定されており、送信制御部124 はこのテーブルに従って送信制御を行う。

【0071】送信制御部124 では、それぞれのプロセッサから送信要求が与えられると、まずタイムテーブル123 をタイム128 の現在時刻および送信要求中のコネクション番号で参照して送信の可否を決定する。もし複数の送信要求が同時に送信可能である場合、これらの中から1つだけ送信要求を選択する。選択された送信要求に対する動作は同期動作モードの場合の動作と同様であり、コネクションテーブル122 を参照して送信を行うレジスタを決定してからデータの送信を行う。送信不可能と判断された送信要求及び、送信可能であるが選択されなかった送信要求は送信制御部124 内で保持され、コネクションテーブル122 を参照して該送信要求に対応するレジスタを特定し、これらのレジスタを書き込み禁止に設定

する。時刻が経過し、保持されている送信要求が送信可能となりかつ送信制御部124 によって選択されれば、同期動作モードの場合と同様にしてデータの送信を行う。そして該送信要求を解除し、送信を行ったレジスタに対する全ての送信要求が解除されれば該レジスタの書き込み禁止を解除する。

【0072】受信制御部125 は制御チャネル32-1を監視しながら受信ゲート24-1~24-3の開閉を制御する。受信制御部125 が制御チャネル32-1からコネクション番号を受信すると、該コネクション番号を用いてコネクションテーブル122 を参照する。そしてコネクションテーブル122 上で受信可能とされているレジスタに関して、該レジスタに対応する受信ゲートに受信可能であることを伝える。受信ゲートは局所的バス3-1 を監視し、接続されたチャネル上にデータが出力されており、かつ受信制御部125 によって受信が許可されている場合は、局所的バス3-1 からレジスタへとデータを入力する。もしプロセッサ127-1 ~127-2 がレジスタに対して読み出し禁止を設定している場合、該レジスタに対してデータの受信があれば受信制御部125 は該レジスタの読み出し禁止を解除する。これは非同期動作モードのプロセッシングエレメントにおいて、必要なデータが到着するまで該データを格納する予定であるレジスタを読み出し禁止にして、データがまだ到着していないことを示すためである。

【0073】ブリッジ130 は接続されている局所的バス3-1 もしくは大域的バス5-1、5-7上の各チャネルにデータが出力されていると、これを中継回路41-1~41-3内のレジスタに取り込む。また各バス上の制御チャネルにコネクション番号が出力されていると、中継制御部131 はこれを取り込み、コネクションテーブル132 を参照して該コネクションの宛先を決定し、中継回路41-1~41-4内の該コネクションの宛先となる選択回路に対して、受信元のバスを伝える。そして中継制御部131 はコネクション番号の付け替えを行い、新たなコネクション番号を中継回路41-4内のレジスタへと送信する。中継回路41-1~41-4内の選択回路では、中継制御部131 によって指示されたバスに接続されたレジスタからのデータを、自らが接続されているバスに対して出力する。

【0074】ここで、本実施例においてブリッジ130 内でコネクション番号の付け替えを行うのは、異なるプロセッサ間通信でも同じコネクション番号を指定できるようにして、プロセッサが送信要求を出す際のコネクション番号の総数を削減するためである。つまり、例えば図15に示されるように、バスB1、ブリッジ4a、バスB3、ブリッジ4b、バスB5を経由するコネクションC1と、バスB2、ブリッジ4a、バスB3、ブリッジ4b、バスB4を経由するコネクションC2との2つのコネクションを考えた場合、同じバスB3を使うので、そのバスB3上ではコネクションC1とC2とは異なるコネクション番号を付与する必要がある。しかし、バスB3以外のバスでは同じコネクシ

ョン番号であっても支障はない。そこで、コネクションC1、C2の送信側プロセッサおよび受信側プロセッサでは同じコネクション番号（例えば1）を使用し、ブリッジ4aは例えばバスB2から入るコネクションC2についてコネクション番号を1から例えば2に付け替え、ブリッジ4bでは、バスB3から入るコネクションC2のコネクション番号を2から1に戻す。これによって、異なるプロセッサ間通信でも同じコネクション番号を使って送受信できる。なお、コネクション番号を付け替えない実施例も本発明に含まれることは言うまでもない。

【0075】本実施例のマルチプロセッサシステムは、局所的バスおよび大域的バスを時分割的に使用するため、第1の実施例のマルチプロセッサシステムと異なり、全てのプロセッシングエレメント間に通信のルートを設定することが可能である。また、ブリッジを経由するコネクション数が少ない場合には第2の実施例に比べてブリッジが保有すべきテーブルのサイズを小さくできる。なお、送信側プロセッシングエレメント及び受信側プロセッシングエレメントは共に同じ動作モードに設定しておくのが基本であるが、送信側プロセッシングエレメントが同期動作モードの場合、受信側プロセッシングエレメントは非同期動作モードであっても良い。

【0076】

【実施例4】本発明を適用したマルチプロセッサシステムの第4の実施例の構成は図1に示された構成と同様であり、本実施例ではプロセッシングエレメント及びブリッジの構成が異なる。また本実施例では、データの通信経路を制御するためのコネクション番号が第3の実施例のように各バス毎ではなく、各チャネル毎に独立に送信される。そのため、後述するように局所的バス及び大域的バスは各チャネル毎独立に制御チャネルを持つ。

【0077】図16は、本実施例におけるプロセッシングエレメント140 の構成を示し、併せて局所的バス3-1の構成を示す。全ての局所的バスは、局所的バス3-1に例示するように、データ用のチャネル31-1-1~31-1-3に加えて、各チャネルに1対1に対応する制御チャネル32-1-1~32-1-3を有する。プロセッシングエレメント140 は第3の実施例によるプロセッシングエレメント120 とほぼ同様の構成であり、異なる点は、レジスタファイル141 において送信制御部144-1 ~144-3 及び受信制御部145-1 ~145-3、コネクションテーブル122-1 ~122-3、タイムテーブル123-1 ~123-3 を各レジスタ毎に有することであり、また、送信制御部144-1~144-3 及び受信制御部145-1 ~145-3 の動作も異なる。コネクションテーブル122-1 ~122-3 及びタイムテーブル123-1 ~123-3 の構成は、各レジスタ毎に分けている点を除いて第3の実施例と同様である。

【0078】図17は、本実施例におけるブリッジ150の構成を示し、併せて大域的バスの構成を示す。全ての大域的バスは、大域的バス5-1、5-7に例示するよう

に、データ用のチャネル51-1-1～51-1-3、51-7-1～51-7-3に加えて、各チャネルに1対1に対応する制御チャネル52-1-1～52-1-3、52-7-1～52-7-3を有する。ブリッジ150は第3の実施例によるブリッジ130とほぼ同様の構成であり、異なる点は中継回路41-4～41-6及び中継制御部151-1～151-3、コネクションテーブル132-1～132-3

を共有ではなく各チャネル毎に有することである。中継制御部151-1～151-3は第3の実施例における中継制御部131の機能を各チャネル毎に分けたものであり、中継回路41-4～41-6及びコネクションテーブル132-1～132-3は、それぞれ第3の実施例における中継回路及びコネクションテーブルを各チャネル毎に分けたものに相当する。

【0079】本実施例では、局所的バス及び大域的バスが各チャネル毎独立に制御チャネルを持つため、チャネル単位で通信の制御を行うことにより、時分割による多重通信だけでなく空間分割による多重通信も行う。例えば図1において、プロセッシングエレメント2-1とプロセッシングエレメント2-24との間を、局所的バス3-1→大域的バス5-7→大域低バス5-11→大域的バス5-5→大域的バス5-6→局所的バス3-12のルートR1で通信する第1のプロセッサ間通信と、プロセッシングエレメント2-1とプロセッシングエレメント2-10との間を、局所的バス3-1→大域的バス5-7→局所的バス3-5のルートR2で通信する第2のプロセッサ間通信とを許可する場合、第2の実施例では、プロセッシングエレメント2-1から局所的バス3-1にデータを出力する時刻を第1及び第2のプロセッサ間通信でずらす必要があった。また第3の実施例では、第1のプロセッサ間通信と第2のプロセッサ間通信とが同時に起動されないようにする必要があった。しかし、本実施例では、第1のプロセッサ間通信で送られるレジスタに対応するチャネルと第2のプロセッサ間通信で送られるレジスタに対応するチャネルとが競合しない限り、空間分割的に多重通信できる。従って、これまでの各実施例よりスケジュールできるプロセッサ間通信の数が増大する。

【0080】時分割による多重通信および空間分割による多重通信を前提として各プロセッサ間通信の送信スケジュールが決定したら、その送信スケジュールによるプロセッサ間通信のみ許可するように、各プロセッシングエレメント内のコネクションテーブル122-1～122-3及び各ブリッジ内のコネクションテーブル132-1～132-3の内容を事前に設定し、また各プロセッシングエレメント内のタイムテーブル123-1～123-3の内容を事前に設定する。

【0081】次に図16及び図17を参照して本実施例のマルチプロセッサシステムにおけるプロセッサ間通信の動作を、第3の実施例との相違点を中心に説明する。なお、本実施例の全体的な動作は第1ないし第3の実施例と同様であるため、ここではプロセッシングエレメン

ト140及びブリッジ150の動作を説明する。

【0082】本実施例においても第3の実施例と同じくプロセッシングエレメント140は同期動作モードと非同期動作モードの2種類の動作モードを持つ。まずはじめに同期動作モードにおけるプロセッシングエレメント140の動作を説明する。

【0083】プロセッサが送信要求を行う場合、全ての送信制御部144-1～144-3に対してコネクション番号を伝える。本実施例においては各チャネル毎独立に制御チャネルが用意されていて同じバス上で複数のコネクションが同時に通信可能であるため、複数のプロセッサが同時に送信要求を行うことができる。送信制御部144-1～144-3は各プロセッサから要求されたコネクション番号でコネクションテーブル122-1～122-3を参照し、それぞれの送信要求に対して、該送信制御部に対応するレジスタの送信可否を調べる。同期動作モードの場合、それぞれのプロセッサは同期して動作しているため、各プロセッサのプログラムに誤りが無い限り、同一のレジスタにおいて複数のプロセッサから与えられた送信要求が同時に送信可能となることはない。万一同時に複数の送信要求が送信可能となった場合には、これらの送信要求を廃棄して良い。そして送信可能となったレジスタでは、対応する送信制御部から送信ゲートに対して送信要求が伝われ、対応する制御チャネルへ送信要求が許可されたコネクション番号を出力する。送信ゲートは送信要求が伝えられると、レジスタの内容を局所的バス3-1に出力する。同期動作モードの場合、異なるプロセッシングエレメントから途中のバスを競合するようなデータの送信は行われなため、プロセッシングエレメントでは送信制御に際してタイムテーブル123-1～123-3は使用しない。

【0084】次に非同期動作モードにおけるプロセッシングエレメント140の動作を説明する。本実施例においても第3の実施例と同様に、非同期動作モードではタイムテーブル123-1～123-3にあらかじめ競合が発生しないような送信スケジュールが設定されており、送信制御部144-1～144-3はこのテーブルに従って送信制御を行う。各送信制御部144-1～144-3ではプロセッサから送信要求が与えられると、タイムテーブル123-1～123-3及びコネクションテーブル122-1～122-3を参照してそれぞれの送信要求に対して送信の可否を決定する。もし複数の送信要求が同時に送信可能である場合、これらの中から1つだけ送信要求を選択する。選択された送信要求に対する動作は同期動作モードの場合の動作と同様である。送信不可能と判断された送信要求及び、送信可能であるが選択されなかった送信要求は送信制御部144-1～144-3内で保持され、該送信要求に対応するレジスタを書き込み禁止に設定する。時間が経過し、保持されている送信要求が送信可能となり且つ送信制御部によって選択されれば、送信制御部は対応する送信ゲートに対し

て送信要求を伝え、対応する制御チャネルに送信要求が許可されたコネクション番号を出力する。そして、この送信要求を解除し、もし該送信制御部において全ての送信要求が解除されれば、対応するレジスタに対する書き込み禁止を解除する。

【0085】受信制御部145-1～145-3は制御チャネル32-1-1～32-1-3を監視しながら受信ゲート24-1～24-3の開閉を制御する。各受信制御部145-1～145-3はそれぞれが接続されている制御チャネルからコネクション番号を受信すると、該コネクション番号を用いてコネクションテーブル122-1～122-3を参照する。そして該受信制御部に対応するレジスタが受信可能であると判明すれば、該受信制御部が接続されている受信ゲートに対して局所的バスからレジスタへのデータの入力を指示する。もしプロセッサ127-1～127-2がレジスタに対して読み出し禁止を設定している場合、該レジスタに対してデータの受信があれば受信制御部145-1～145-3は該レジスタの読み出し禁止を解除する。

【0086】本実施例においてはブリッジ150では、各チャネル毎に完全に独立して動作する。ブリッジ150は接続されている局所的バス3-1もしくは大域的バス5-1、5-7上の各チャネルにデータが出力されていると、これを中継回路41-1～41-3内のレジスタに取り込む。また各バス上の制御チャネルにコネクション番号が出力されていると、中継制御部151-1～151-3はこれを取り込み、コネクションテーブル132-1～132-3を参照して該コネクションの宛先を決定し、中継回路41-1～41-6内の該コネクションの宛先となるバスに対応する選択回路に対して、受信元のバスを伝える。そして中継制御部は必要に応じてコネクション番号の付け替えを行い、新たなコネクション番号を中継回路41-4～41-6内のレジスタへと送信する。選択回路では、中継制御部によって指示されたバスから入力したデータを、自らが接続されているバスに対して出力する。

【0087】本実施例のマルチプロセッサシステムは、局所的バスおよび大域的バスを時分割的かつ空間分割的に使用するため、各バスのより一層の有効利用が可能である。なお、送信側プロセッシングエレメント及び受信側プロセッシングエレメントは共に同じ動作モードに設定しておくのが基本であるが、送信側プロセッシングエレメントが同期動作モードの場合、受信側プロセッシングエレメントは非同期動作モードであっても良い。

【0088】なお、第4の実施例では、図16に示したようにレジスタファイル141においてコネクションテーブル122-1～122-3、タイムテーブル123-1～123-3を各レジスタ毎に設けたが、第3の実施例と同様なコネクションテーブル122及びタイムテーブル123を送信制御部144-1～144-3及び受信制御部145-1～145-3で共通に使用するようにしても良い。但し、この場合は1つのプロセッシングエレメントから同時に複数のコネクシ

ョンによる送信、受信は行えない。

【0089】

【実施例5】本発明を適用したマルチプロセッサシステムの第5の実施例の全体構成は図1に示された構成と同様であり、本実施例ではプロセッシングエレメント及びブリッジの構成が異なる。本実施例では第3の実施例と同じく、局所的バス及び大域的バスはそれぞれ1つの制御チャネルを持つ。本実施例と第3の実施例の最も異なる点は、本実施例においてはコネクション番号として任意の番号を用いるのではなく、宛先とするプロセッシングエレメントが一意に特定できる番号を用いることである。

【0090】プロセッシングエレメント番号としては、例えば、図18に示すように格子状に配列された各プロセッシングエレメントに割り当てたXY座標値（例えば図18の横方向をX軸、縦方向をY軸とする）を用いることができる。コネクション番号として用いるこれらのXY座標値を、以下「データの宛先」と呼ぶ。

【0091】図19は、本実施例におけるプロセッシングエレメント160の構成を示す。プロセッシングエレメント160は第3の実施例によるプロセッシングエレメント120とほぼ同様の構成であり、異なる点はコネクションテーブル122を有しないことである。なお、タイムテーブル123では、図13のコネクション1～3の箇所にデータの宛先が設定される。

【0092】図20は、本実施例におけるブリッジ170の構成を示す。ブリッジ170は第3の実施例によるブリッジ130とほぼ同様の構成であり、異なる点はコネクションテーブル172の設定内容にある。図21に、ブリッジ4-7に設けられるコネクションテーブル172の設定例を示す。

【0093】図21を参照すると、ブリッジ4-7内のコネクションテーブル172は、各バスに対して、そのバスから受信して中継すべきデータのXY座標値とそのデータの送信先となるバスを記述する。図21の例は、データの宛先のX座標に見合った位置までX軸方法に先ず中継し、しかる後にY軸方向に中継するX軸優先方式の例を示す。例えば、局所的バス3-7の各チャネルからは、 $X > 6$ のXY座標値を宛先とするデータを受信してこれを大域的バス5-4に送信し、 $X < 5$ のXY座標値を宛先とするデータを受信してこれを大域的バス5-3に送信する。また、大域的バス5-3の各チャネルからは、 $X > 6$ のXY座標値を宛先とするデータを受信してこれを大域的バス5-4に送信し、 $X = 5$ or 6 かつ $Y > 2$ のXY座標値を宛先とするデータを受信してこれを大域的バス5-9に送信し、 $X = 5$ or 6 かつ $Y < 2$ のXY座標値を宛先とするデータを受信してこれを大域的バス5-13に送信し、 $X = 5$ or 6 かつ $Y = 2$ のXY座標値を宛先とするデータを受信してこれを局所的バス3-7に送信する。他の大域的バス5-4、5-9、5-13についても同様に定義さ

れる。また、ブリッジ4-7 以外の他のブリッジについても同様に定義される。

【0094】次に図18及び図21を参照して本実施例のマルチプロセッサシステムにおけるプロセッサ間通信の動作を、第3の実施例との差異を中心に説明する。なお、本実施例の全体的な動作は第1ないし第3の実施例と同様であるため、ここではプロセッシングエレメント160 及びブリッジ170 の動作を説明する。

【0095】本実施例においても第3の実施例と同じくプロセッシングエレメント160 は同期動作モードと非同期動作モードの2種類の動作モードを持つ。まずはじめに同期動作モードにおけるプロセッシングエレメント160 の動作を説明する。

【0096】プロセッサによる送信要求では送信を行うレジスタとデータの宛先の両方が送信制御部164 に出力されるが、それぞれのプロセッサは同期して動作しているため設定を誤らない限り複数のプロセッサが同時に送信制御部164 に対して送信要求を行うことはない。万一同時に送信要求が行われた場合、送信制御部164 は送信要求を廃棄して良い。そして送信制御部164 は送信要求されたレジスタに対応する送信ゲートに対して送信要求を伝え、プロセッサから与えられたデータの宛先を制御チャネル32-1に出力する。送信ゲートは送信要求が伝えられると、レジスタの内容を局所的バス3-1 に出力する。同期動作モードのプロセッシングエレメントでは送信制御に際してタイムテーブル123 は使用しない。

【0097】次に非同期動作モードにおけるプロセッシングエレメント160 の動作を説明する。本実施例においても第3の実施例と同様に、非同期動作モードではタイムテーブル123 にあらかじめ競合が発生しないような送信スケジュールが設定されており、送信制御部164 はこのテーブルに従って送信制御を行う。送信制御部164 ではそれぞれのプロセッサから与えられた送信要求に対して、データの宛先でタイムテーブルを参照し、送信の可否を決定する。もし複数の送信要求が同時に送信可能である場合、これらの中から1つだけ送信要求を選択する。選択された送信要求に対する動作は同期動作モードの場合の動作と同様である。送信不可能と判断された送信要求及び、送信可能であるが選択されなかった送信要求は送信制御部164 内で保持され、該送信要求に対応するレジスタを書き込み禁止に設定する。時刻が経過し、保持されている送信要求が送信可能となりかつ送信制御部164 によって選択されれば、送信制御部164 は該送信要求に対応するレジスタの送信ゲートに対して送信要求を伝え、データの宛先を制御チャネルに出力する。そして該送信要求を解除し、送信を行ったレジスタに対する全ての送信要求が解除されれば該レジスタの書き込み禁止を解除する。

【0098】受信制御部165 は制御チャネル32-1を監視しながら受信ゲート24-1~24-3の開閉を制御する。受信

制御部125 が制御チャネルからデータの宛先を受信すると、該データの宛先が自分自身であるかを判定し、データの宛先が自分自身であれば全受信ゲートに対して受信可能であることを伝える。受信ゲートは局所的バスを監視し、接続されたチャネル上にデータが出力されており、かつ受信制御部125によって受信が許可されている場合は局所的バスからレジスタへとデータを入力する。もしプロセッサ127-1 ~127-2 がレジスタに対して読み出し禁止を設定している場合、該レジスタに対してデータの受信があれば受信制御部165 は該レジスタの読み出し禁止を解除する。

【0099】ブリッジ170 は接続されている局所的バス3-1 もしくは大域的バス5-1、5-7上の各チャネルにデータが出力されていると、これを中継回路41-1~41-3内のレジスタに取り込む。また各バス上の制御チャネルにデータの宛先が出力されていると、中継制御部171 はこれを取り込み、データの宛先とコネクションテーブル172 とから、中継動作の必要性および必要な場合のデータ出力先となるバスを特定する。そして中継制御部171 は、中継動作が必要な場合、中継回路41-1~41-4内の出力先となるバスに対応する選択回路に対して、受信元のバスを伝える。そして中継制御部171 はデータの宛先の付け替えを行わずに、データの宛先を中継回路41-4内のレジスタへと送信する。選択回路では、中継制御部171 によって指示されたバスからデータを入力し、自らが接続されているバスに対して出力する。

【0100】本実施例では、XY座標値といった各プロセッシングエレメントを一意に特定するデータの宛先によって各ブリッジの中継動作を制御しており、各ブリッジ内のコネクションテーブルの容量は、コネクション数にかかわらず一定にすることができる。なお、図21に例示したコネクションテーブルは、X軸優先方式を採用したが、データの宛先のY座標に見合った位置までY軸方法に先ず中継し、しかる後にX軸方向に中継するY軸優先方式を採用することも可能である。また、X軸優先方式によるコネクションテーブルとY軸優先方式によるコネクションテーブルの双方を設け、送信側プロセッサが送信要求時にデータの宛先と共に何れの方式を使うかを示す識別子を指定し、この識別子を制御チャネルでデータの宛先と一緒に伝搬させ、各ブリッジはこの識別子で指定された方式のコネクションテーブルを使用するようにしても良い。

【0101】以上、幾つかの実施例を挙げて本発明を説明したが、本発明は以上の実施例にのみ限定されず、その他各種の付加変更が可能である。

【0102】例えば第4の実施例では、空間分割による多重通信だけでなく時分割による多重通信も可能にしたが、他の実施例として、時分割による多重通信は行わず、空間分割による多重通信だけを行うようにしても良い。この場合、第1の実施例で使用した接続テーブルを

各チャネル別に設け、チャネル単位で経路制御すれば良い。すなわち、入出力制御を行うための接続テーブルをプロセッシングエレメント内にチャネル毎に設け、中継制御を行うための接続テーブルをブリッジ内にチャネル毎に設け、これらの接続テーブルを用いることによってプロセッシングエレメントにおける入出力制御及びブリッジにおける経路制御を各チャネル別に定める。そして、プロセッサからデータを出力する際には1つ以上のレジスタを選んで送信要求を行い、プロセッシングエレメント内の送信制御部は送信要求が行われた各レジスタに対応するチャネルに関する接続テーブルを参照して各レジスタからバスへのデータの出力制御をチャネル毎に行い、ブリッジは各チャネルに関する接続テーブルを参照してバス間のデータの中継処理をチャネル毎に行い、さらにプロセッシングエレメント内の受信制御部は各チャネルに関する接続テーブルを参照してバスからレジスタへのデータの入力制御をチャネル毎に行う。

【0103】また第4の実施例では、コネクションテーブルを用いたが、第2の実施例のようなタイムテーブルを各チャネル別に持つことで時分割的かつ空間分割的な多重通信を行うようにしても良い。すなわち、時刻による入出力制御を行うためのタイムテーブルをプロセッシングエレメント内に、また時刻による中継制御を行うためのタイムテーブルをブリッジ内にそれぞれチャネル毎に設け、これらのタイムテーブルを用いることによってプロセッシングエレメントにおける入出力制御及びブリッジにおける経路制御を各チャネル毎に時刻に対して一意に定める。そして、プロセッサから送信要求が行われたときにプロセッシングエレメント内の送信制御部は時刻を元に各タイムテーブルを参照してレジスタからバスへのデータの出力制御をチャネル毎に行い、ブリッジは時刻を元に各タイムテーブルを参照してバス間のデータの中継処理をチャネル毎に行い、さらにプロセッシングエレメント内の受信制御部は時刻を元に各タイムテーブルを参照してバスからレジスタへのデータの入力制御をチャネル毎に行う。

【0104】また、これまで説明した各実施例では、プロセッシングエレメント内のレジスタ数とバスのチャネル数が同じであり、レジスタとチャネルとが1対1に対応していたが、レジスタの数より少ないチャネル数のバスを使用し、複数のレジスタで1つのチャネルを共用するようにして良い。この考えを第1の実施例に適用した場合のプロセッシングエレメント180の構成例を図22に示す。

【0105】図22を参照すると、レジスタファイル20内の各レジスタ22-1～22-3と局所的バス3-1内の各チャネル31-1-1～31-1-2は1対1に対応しておらず、同一のチャネルに複数のレジスタが接続されている。即ち、レジスタ22-1とチャネル31-1-1とは1対1に対応しているが、レジスタ22-2とレジスタ22-3は同じチャネル31-1-2

に接続されている。どのレジスタをチャネルに1対1に対応させ、どの複数のレジスタを同じチャネルに接続させるかは、各レジスタの通信頻度に応じて決定すれば良い。ブリッジの構成は第1の実施例におけるブリッジの構成とほぼ同様に図3に示したように構成されるが、ブリッジではプロセッシングエレメントと異なり、チャネルと中継回路41-1～41-3は1対1に対応させるため、ブリッジ内の中継回路数が少なくなる。異なるレジスタが同一のチャネルを使用するため、同じチャネルに接続されたレジスタの間では1つのレジスタのみが通信可能であるが、ハードウェア量を削減できる。図22は第1の実施例に適用したものであるが、他の実施例においても複数のレジスタで1つのチャネルを共用するようにして良い。

【0106】また、以上の実施例では、局所的バスを相互に接続する形態として図1に示される形態を採用したが、各局所的バスから他の全ての局所的バスに至るルートが確保されていれば、どのような形態であっても良い。他の形態の一例を図23に示す。

【0107】図23に示した例は、横方向に大域的バスを持たず、その代わりブリッジで横方向に隣接する2つの局所的バスを接続したものである。この場合、例えばプロセッシングエレメント2-1からプロセッシングエレメント2-24への通信は以下のように行われる。まずプロセッシングエレメント2-1から局所的バス3-1へデータが出力されると、ブリッジ4-1によってこのデータは大域的バス5-7へと中継される。そしてブリッジ4-5及び4-9によってデータは局所的バス3-10に到達し、ブリッジ4-10及び4-11によってデータは局所的バス3-10及び3-11を経由して、最終的に局所的バス3-12へと到達する。プロセッシングエレメント2-24は局所的バス3-12上に出たデータがレジスタファイルに取り込む。他の例として、縦方向に大域的バスを持たず、その代わりにブリッジで縦方向に隣接する2つの局所的バスを接続した形態や、それぞれの局所的バスおよび大域的バスを2重化した形態等が採用可能である。

【0108】図1に示される接続形態では、遠距離のプロセッシングエレメントを低遅延で接続できる利点がある。これに対して図23に示される接続形態では、横方向に大域的バスを持たないため遠距離間の遅延量は図1のものに比べて大きくなるが、回路規模的に有利である。

【0109】本発明のマルチプロセッサシステムは、汎用的な処理を行うマルチプロセッサシステムであっても良く、或る処理、例えば通信処理に特化した専用のマルチプロセッサシステムであっても良い。一般に通信処理ではヘッダ処理やバッファ処理、スケジューリング処理等の多くの処理を各セル/パケット毎に行わなければならないが、非常に高い処理能力と実時間性が要求される。しかし、通信処理は汎用処理と異なって各処理の並列度が

高く、それらの処理が或る程度固定的であり、各セル／パケット毎に同じ処理を繰り返せば良い。例えばネットワークスイッチ内での処理は、セルやパケットの入力処理や出力処理、各種テーブルの管理、ルーティングプロトコルやシグナリングの処理等に分類でき、これらの処理は独立して並列に実行可能であり、またこれらの処理を更に細分化してパイプライン処理を行うことができる。例えば入力処理はヘッダ処理からポリング／マーキング処理、キューイング処理というように処理を分割することができ、分割された処理間では前の処理から後ろの処理へと1方向の依存関係しか存在しないため、効率良くパイプライン処理することができる。さらに、通信処理はこのように固定的な処理の繰り返しであり、これをさらに実時間通信に限定すると、各プロセッシングエレメントは同期的に動作させることが可能となる。そのため、予め通信スケジュールを決定してからプログラムを作成することによってバス上での競合を解消する前述した同期動作モードによる競合の調停が可能である。

【0110】以上の各実施の形態において、マルチプロセッサシステム内で処理すべきデータを外部から入力したり、その逆にマルチプロセッサシステム内で処理されたデータを外部に出力する入出力インタフェース、RAM等の外部メモリをアクセスするためのメモリインタフェース、内蔵メモリ、各種演算を高速に行うコプロセッサ等は、各プロセッシングエレメント毎に設けるようにしても良く、また、全てのプロセッシングエレメント或いは複数のプロセッシングエレメント毎に共通に設けるようにしても良い。後者の場合、入出力インタフェース、メモリインタフェース、内蔵メモリ、コプロセッサ等は例えば何れかの大域的バスに接続して、任意のプロセッシングエレメントからのアクセスを可能にする。この場合、プロセッシングエレメント内のプロセッサは、例えば図24に示すように、プログラムメモリ311、命令デコーダ312、演算器313、アドレス生成器314で構成できる。各プロセッサ21-1等はそれぞれがプログラム用のメモリ311を内蔵するが、通信処理に特化した場合、処理が小規模で固定的であるため、その規模は小さく済む。演算器313は通信処理に特化した場合、ビット演算およびシフト演算機能の性能は高くする必要があるが、算術演算機能は簡略化して良い。アドレス生成器314はプログラムメモリ311に与えるアドレスを生成し、命令デコーダ312はプログラムメモリ311から読み出された命令を解釈して命令の実行を指示する。

【0111】

【発明の効果】以上説明したように本発明によれば以下のような効果が得られる。

【0112】レジスタファイルを共有することによるプロセッサ間通信とバス経由でレジスタファイルの内容を直接転送することによるプロセッサ間通信との階層的なプロセッサ間通信が可能となる。このため、相互に通信

する頻度の高い幾つかのプロセッサ毎にレジスタファイルを物理的に共有させることで、それらのプロセッサ間で高速なプロセッサ間通信が可能になり、また、レジスタファイルを物理的に共有しないプロセッサ間でもバス経由によるレジスタファイルの直接転送でプロセッサ間通信が行える。

【0113】プロセッシングエレメント間をつなぐバスとして、レジスタファイルに含まれる各レジスタに1対1に対応するチャンネルを有するバスを使用することで、高帯域な通信が実現できる。

【0114】プロセッシングエレメント間をつなぐバスとして、レジスタファイルに含まれるレジスタの数より少ないチャンネル数のバスを使用し、複数のレジスタで1つのチャンネルを共用することで、バスの帯域は減少するが、ハードウェア量が少なくなる。

【0115】複数のバス及びバス間で相互にデータの中継を行うブリッジから構成される階層的なバス構造を使用したことにより、相互に通信する頻度の高い幾つかのプロセッシングエレメント毎に同じ局所的バスに接続することでそれらのプロセッシングエレメント間では1本のバス経由による高速なプロセッサ間通信が可能になり、また、異なる局所的バスに接続されるプロセッシングエレメント間でも複数の局所的バス、ブリッジ及び大域的バス経由によるレジスタファイルの直接転送でプロセッサ間通信が行える。

【0116】プロセッシングエレメント間をバス経由でつなぐルートであって他のルートとバス競合が発生しない1以上のルートを事前に決定し、該決定したルートによるプロセッサ間通信のみを行わせることで、複雑なバス調停回路が不要になり、少ないハードウェアでオーバヘッドの少ないプロセッサ間通信が可能となる。

【0117】異なるプロセッサ間通信でバスを時分割的に使用方法、バスを1レジスタ分の幅に相当するチャンネルと呼ぶ通信路に分割して異なるプロセッサ間通信で同じバスを空間分割的に使用方法、それらを組み合わせた方法を採用することにより、より高帯域なプロセッサ間通信が可能となる。

【図面の簡単な説明】

【図1】本発明を適用したマルチプロセッサシステムの第1の実施例の構成を示すブロック図である。

【図2】第1の実施例におけるプロセッシングエレメントの構成を示す図である。

【図3】第1の実施例におけるブリッジの構成を示す図である。

【図4】第1の実施例におけるプロセッシングエレメント内の接続テーブルの構成を示す図である。

【図5】第1の実施例におけるブリッジ内の接続テーブルの構成を示す図である。

【図6】第2の実施例におけるプロセッシングエレメントの構成を示す図である。

【図7】第2の実施例におけるブリッジの構成を示す図である。

【図8】第2の実施例におけるプロセッシングエレメント内のタイムテーブルの構成を示す図である。

【図9】第2の実施例におけるブリッジ内のタイムテーブルの構成を示す図である。

【図10】第3の実施例におけるプロセッシングエレメントの構成を示す図である。

【図11】第3の実施例におけるブリッジの構成を示す図である。

【図12】第3の実施例におけるプロセッシングエレメント内のコネクションテーブルの構成を示す図である。

【図13】第3の実施例におけるプロセッシングエレメント内のタイムテーブルの構成を示す図である。

【図14】第3の実施例におけるブリッジ内のコネクションテーブルの構成を示す図である。

【図15】第3の実施例においてコネクション番号をブリッジ内で付け替える理由の説明図である。

【図16】第4の実施例におけるプロセッシングエレメントの構成を示す図である。

【図17】第4の実施例におけるブリッジの構成を示す図である。

【図18】第5の実施例において各プロセッシングエレメントに付与されたXY座標値の一例を示す図である。

【図19】第5の実施例におけるプロセッシングエレメントの構成を示す図である。

【図20】第5の実施例におけるブリッジの構成を示す図である。

【図21】第5の実施例における各ブリッジ内の設けられたコネクションテーブルの内容例を示す図である。

【図22】プロセッシングエレメントの他の構成例を示す図である。

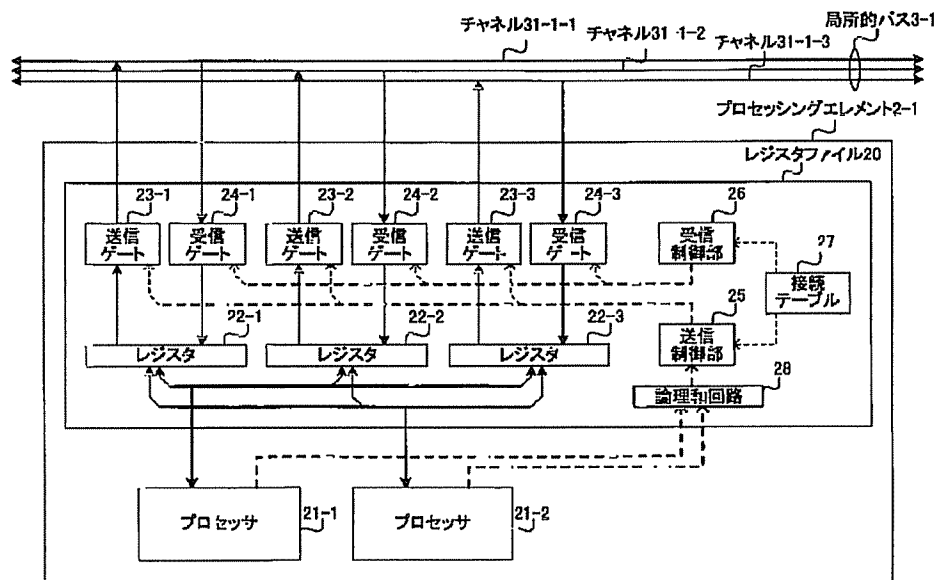
【図23】本発明を適用したマルチプロセッサシステムの他の実施例の構成を示すブロック図である。

【図24】各プロセッシングエレメント内のプロセッサの構成例を示すブロック図である。

【符号の説明】

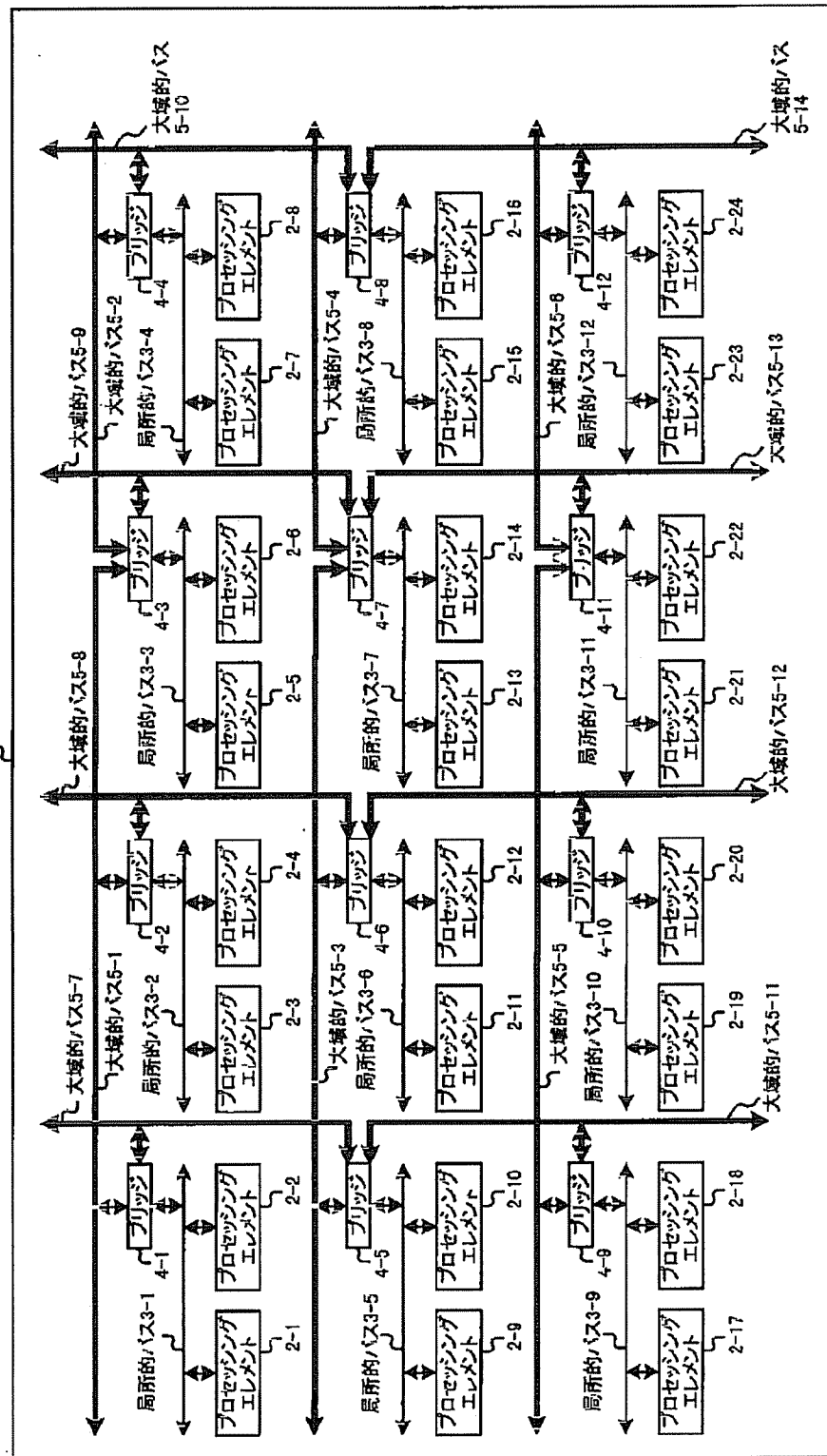
- 1…マルチプロセッサシステム
- 2-1 ～2-24…プロセッシングエレメント
- 3-1 ～3-12…局所的バス
- 4-1 ～4-12…ブリッジ
- 5-1 ～5-14…大域的バス
- 20…レジスタファイル
- 21-1～21-2…プロセッサ
- 22-1～22-3…レジスタ
- 23-1～23-3…送信ゲート
- 24-1～24-3…受信ゲート
- 25…送信制御部
- 26…受信制御部
- 27…接続テーブル
- 28…論理和回路

【図2】

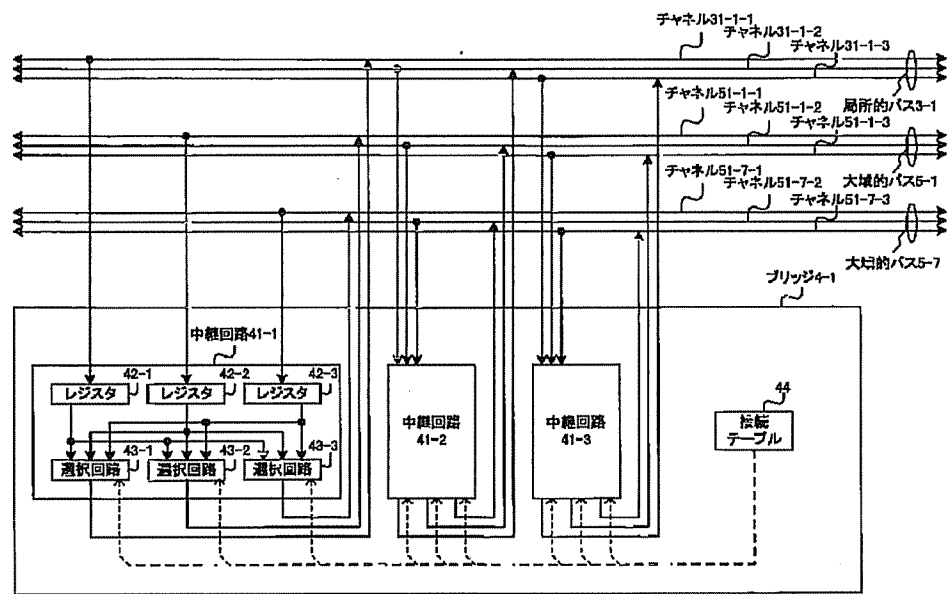


【図1】

マルチプロセッサシステム1



【図3】



【図4】

	レジスタ22-1	レジスタ22-2	レジスタ22-3
送信可否	○	○	×
受信可否	×	○	○

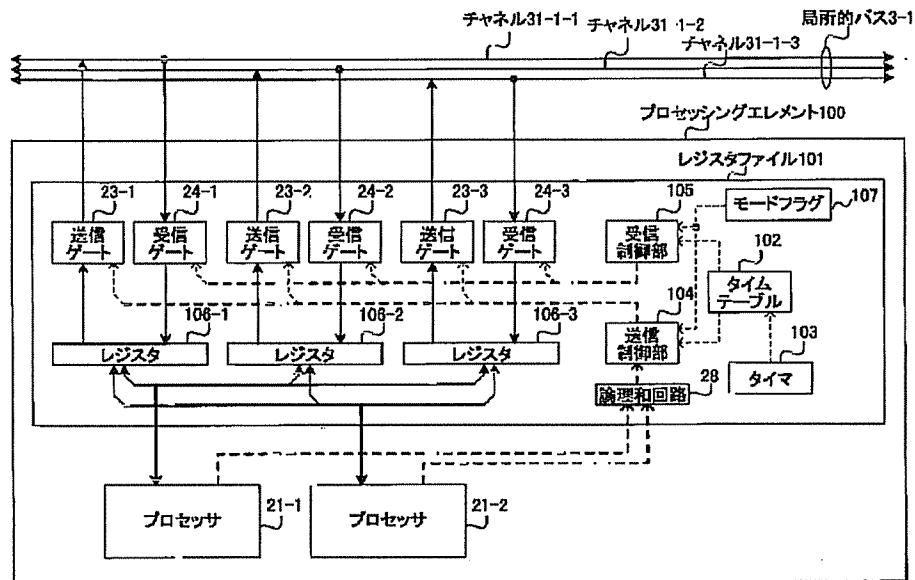
【図5】

	送信先バス						
	局所的バス 3-1			大域的バス 5-1		大域的バス 5-7	
	チャンネル1	チャンネル2	チャンネル3				
受信元バス	×	大域的バス 5-7	大域的バス 5-7				

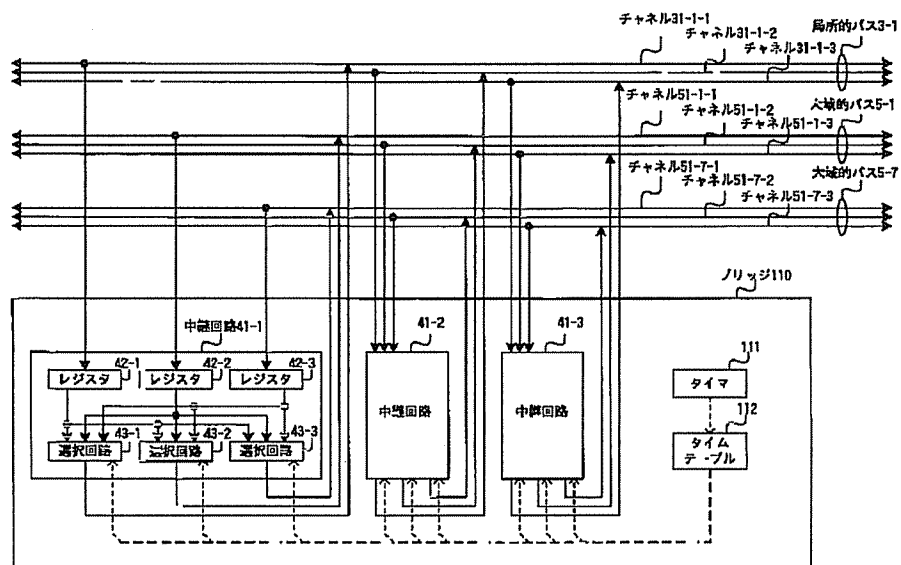
【図9】

		送信先バス						
		局所的バス 3-1			大域的バス 5-1		大域的バス 5-7	
		チャンネル1	チャンネル2	チャンネル3				
受信元バス	時刻 1	×	×	大域的バス 5-7				
	時刻 2	×	×	×				
	時刻 3	大域的バス 5-1	×	×				
	● ● ●							

【図6】



【図7】



【図8】

102

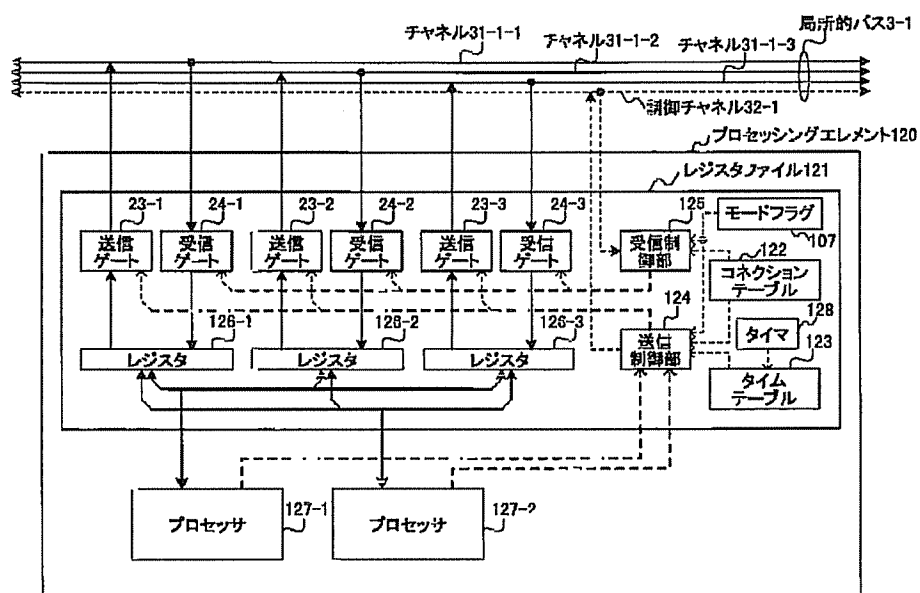
		レジスタ 106-1	レジスタ 106-2	レジスタ106-3
時刻 1	送信可否	○	○	×
	受信可否	×	○	○
時刻 2	送信可否	×	×	×
	受信可否	×	×	×
時刻 3	送信可否	○	×	×
	受信可否	×	×	○
●				
●				
●				

【図13】

123 タイムテーブル

	コネクション 1	コネクション 2	コネクション 3
時刻 1	○	○	×
時刻 2	×	×	×
時刻 3	×	×	○
●			
●			
●			

【図10】

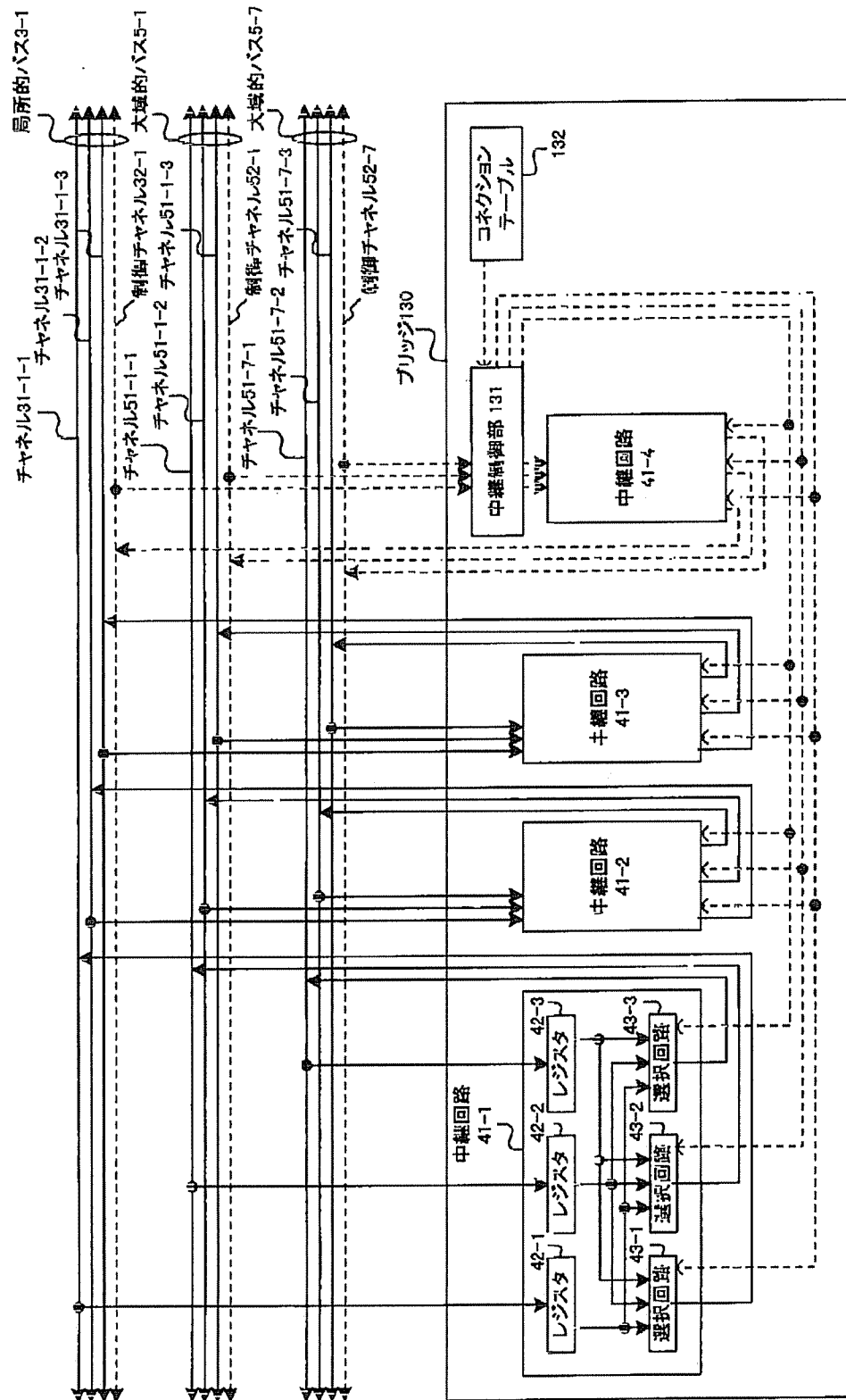


【図14】

132 コネクションテーブル

	受信元バス						
	局所的バス 3-1				大域的バス 5-1		
	コネクション 1	コネクション 2	コネクション 3	● ● ●			
送信先バス	大域的バス5-1	×	大域的バス5-7				
新コネクション番号	コネクション2	×	コネクション1				

【図11】

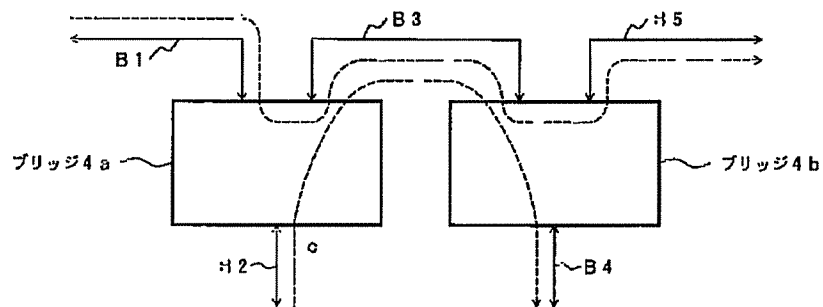


【図12】

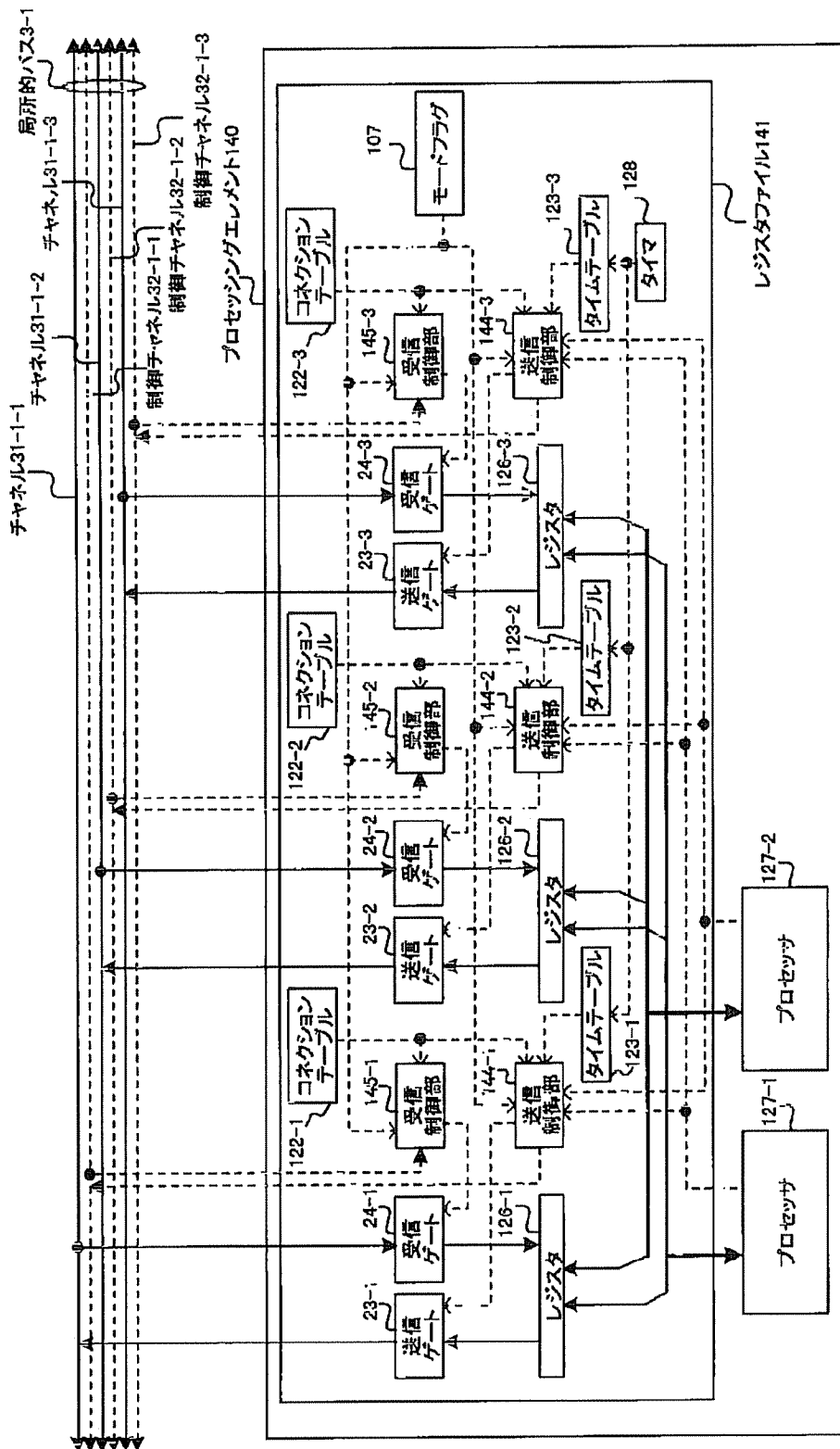
122 1-ネクションテーブル

		レジスタ128-1	レジスタ 128-2	レジスタ 128-3
コネクション1	送信可否	○	○	×
	受信可否	×	○	○
1-ネクション2	送信可否	×	×	×
	受信可否	×	×	×
1-ネクション3	送信可否	○	×	×
	受信可否	×	×	○
● ● ●				

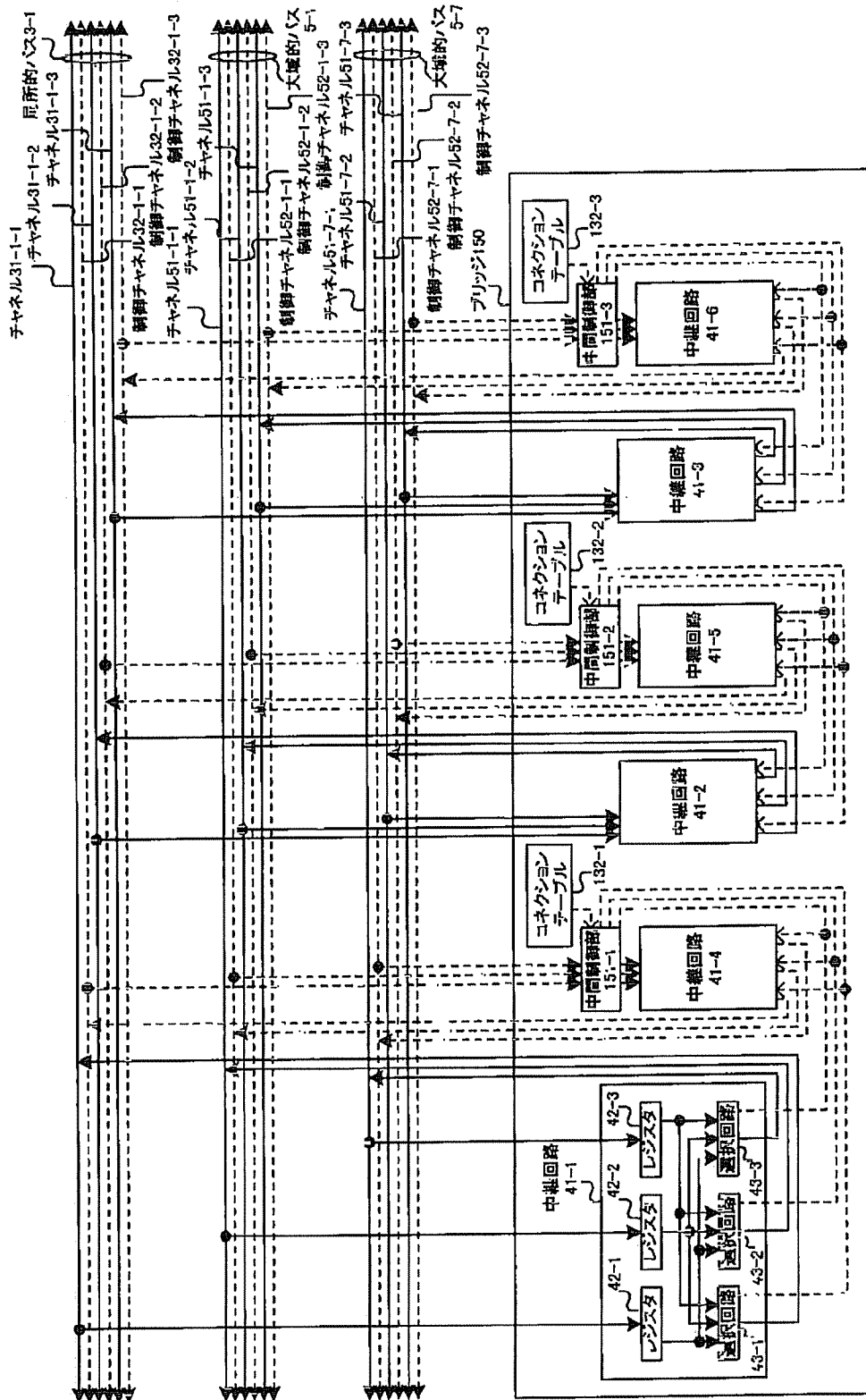
【図15】



【図16】

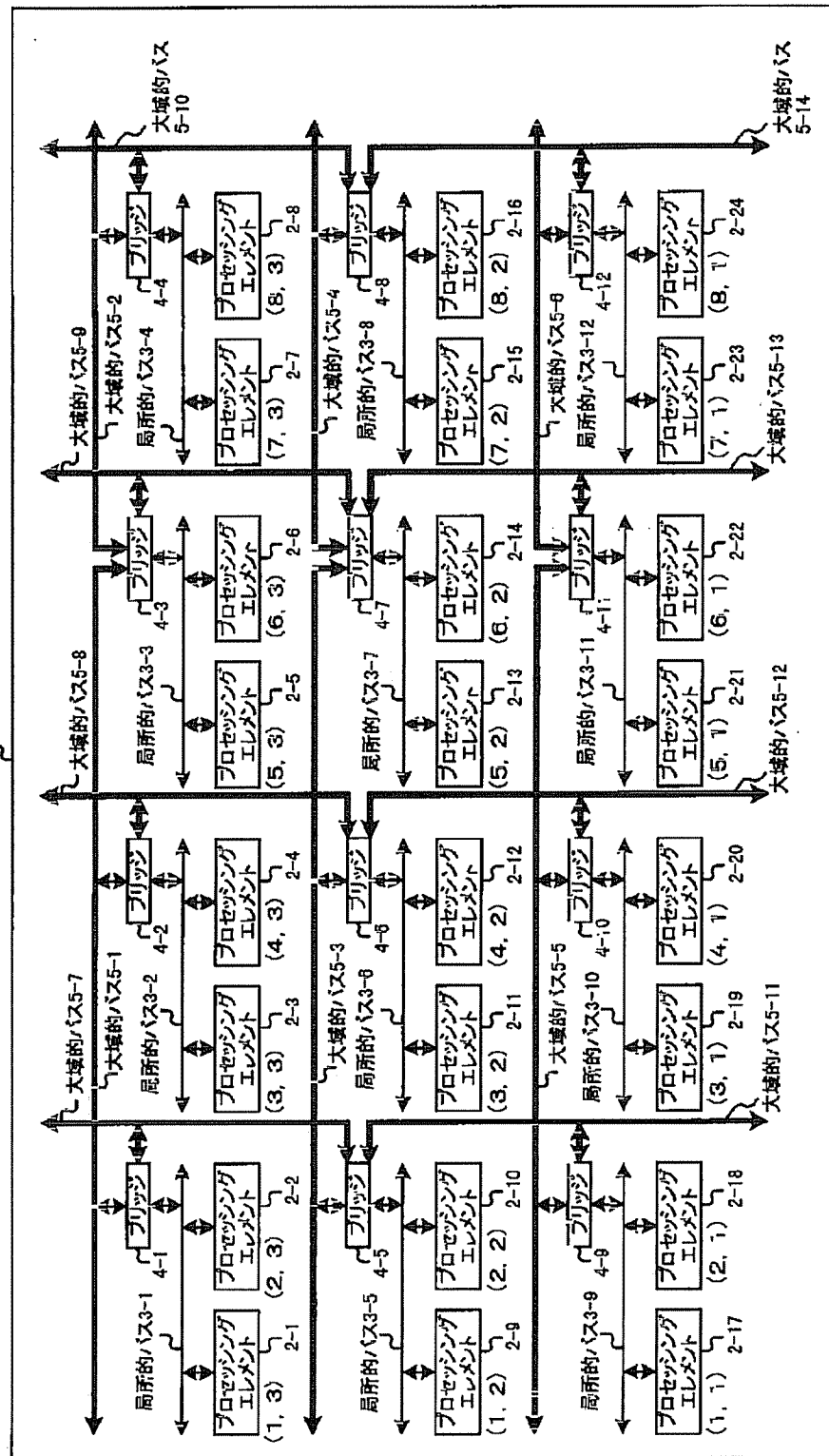


【図17】

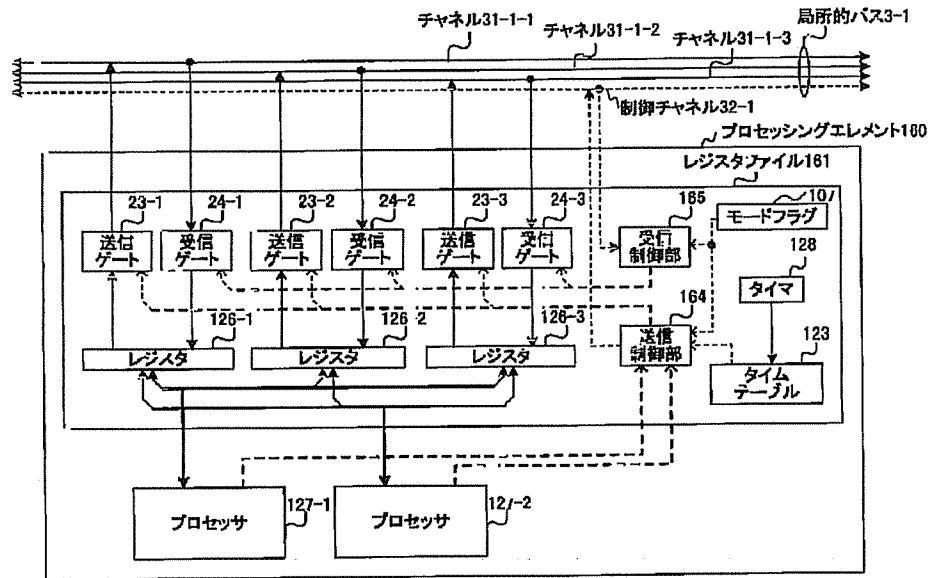


【図18】

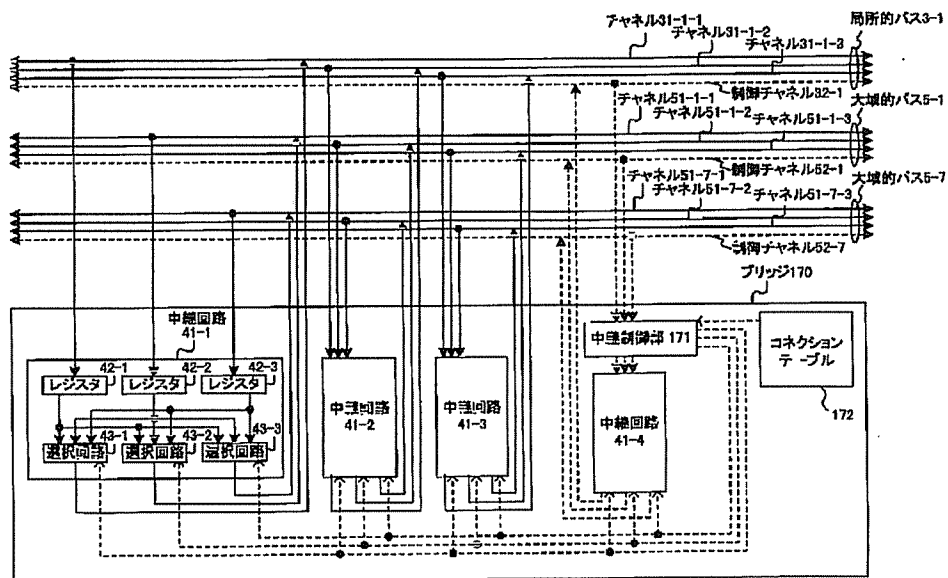
マルチプロセッサシステム1



【図19】



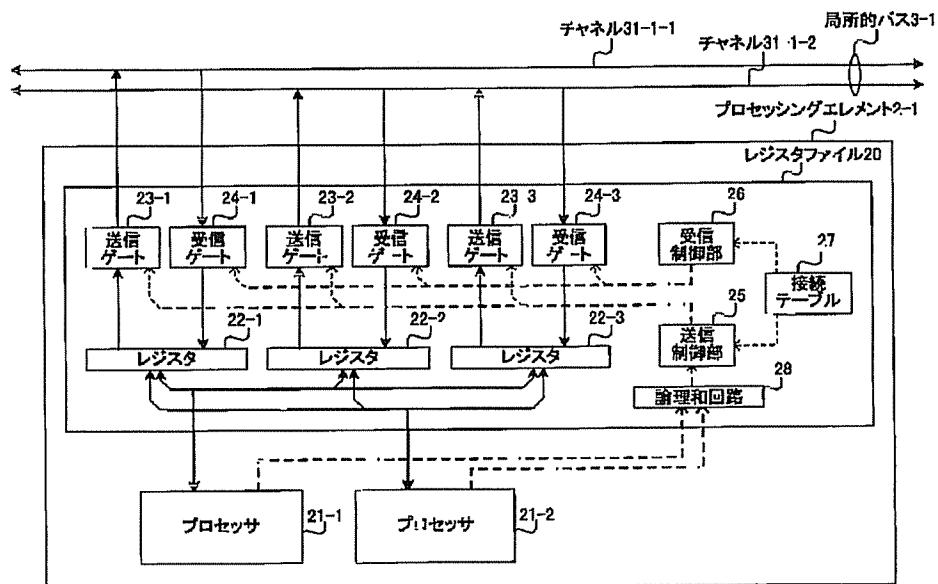
【図20】



【図21】

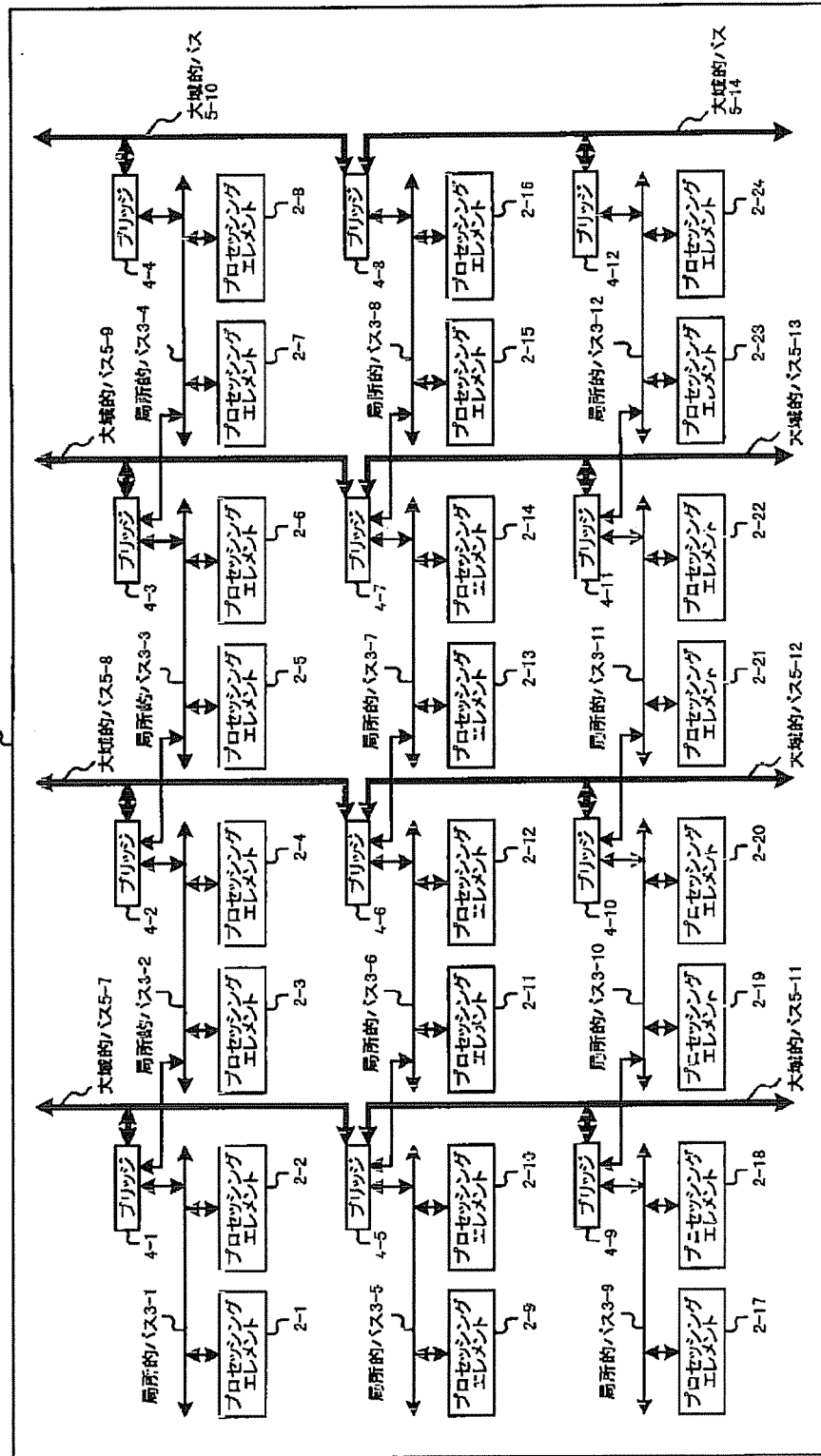
	受信元バス						...
	局所的バス3-7		大域的バス5-3				
宛先データ	X>6	X<5	X>6	X=5or6 かつ Y>2	X=5or6 かつ Y<2	X=5or6 かつ Y=2	
送信先バス	大域的バス5-4	大域的バス5-3	大域的バス5-4	大域的バス5-9	大域的バス5-13	局所的バス3-7	...

【図22】



【図23】

マルチプロセッサシステム2



【図24】

